

Číslicová technika

- laboratorní úlohy v mikroelektronice

Radim Vymětal

Bakalářská práce
2006



Univerzita Tomáše Bati ve Zlíně
Fakulta aplikované informatiky

Univerzita Tomáše Bati ve Zlíně
Fakulta aplikované informatiky
Ústav aplikované informatiky
akademický rok: 2005/2006

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Radim VYMĚTAL**
Studijní program: **B 3902 Inženýrská informatika**
Studijní obor: **Informační technologie**

Téma práce: **Číslicová technika - laboratorní úlohy
v mikroelektronice**

Zásady pro vypracování:

- 1. Seznamte se s obsahovou náplní předmětu Mikroelektronika zařazeného do 3. ročníku bakalářského studia.**
- 2. Z prostudovaného materiálu vyberte témata vhodná k ověření v laboratorních podmínkách.**
- 3. Na základě požadavků vedoucího bakalářské práce vypracujte zadání laboratorních úloh.**
- 4. Proveďte potřebná měření a vypracujte vzorové protokoly.**

Rozsah práce:

Rozsah příloh:

Forma zpracování bakalářské práce: **tištěná/elektronická**

Seznam odborné literatury:

Literatura:

1. Vobecký, J., Záhlava, V.: Elektronika, Praha, Grada, 2001
2. Maťátko, J.: Elektronika, Praha, Idea servis, 1997
3. Malina, V.: Poznáváme elektroniku I, České Budějovice, KOPP, 1998
4. Malina, V.: Poznáváme elektroniku II, České Budějovice, KOPP, 1998
5. Malina, V.: Poznáváme elektroniku III, České Budějovice, KOPP, 1998
6. Obsah přednášek předmětu Mikroelektronika

Vedoucí bakalářské práce: **Ing. Lubomír Macků, Ph.D.**
Ústav elektrotechniky a měření

Datum zadání bakalářské práce: **14. února 2006**

Termín odevzdání bakalářské práce: **16. června 2006**

Ve Zlíně dne 14. února 2006

prof. Ing. Vladimír Vašek, CSc.
pověřený děkan



doc. Ing. Ivan Zelinka, Ph.D.
ředitel ústavu

ABSTRAKT

Abstrakt česky

Práce obsahuje návrh pěti laboratorních úloh pro předmět Mikroelektronika. Úlohy jsou sestaveny tak, aby se studenti prakticky seznámili s principy a použitím některých součástek patřících do mikroelektroniky. Studenti si pomocí experimentů, které budou provádět, ověří teoretické poznatky získané z přednášek. Součástí práce jsou zadání, návody a vypracování vzorových protokolů k laboratorním úlohám.

Klíčová slova: logické obvody, kodéry, dekodéry, A/D převodníky, čítače, binární čísla, logické funkce, Booleova algebra, De Morganovy zákony.

ABSTRACT

Abstrakt ve světovém jazyce

The purpose of this diploma work is to propose five laboratory exercises for Microelectronics subject so that students could practically acquaint with principles and sorts of some inevitable microelectronics parts. By the help of experiments students should verify their theoretic piece of knowledge gained from lectures. The work consists of the task description, elaboration instructions and a laboratory protocol example.

Keywords: logical circuits, coders, decoders, A/D conventers, counters, binar numbers, logical functions, Boolean algebra, De Morgan laws.

Rád bych touto cestou poděkoval vedoucímu bakalářské práce Ing. Lubomíru Macků, Ph.D. za odborné vedení, připomínky a pomoc v průběhu řešení této práce.

Souhlasím s tím, že s výsledky mé práce může být naloženo podle uvážení vedoucího bakalářské práce, ředitele ústavu a institutu. V případě publikace budu uveden jako spoluautor.

Prohlašuji, že jsem na celé bakalářské práci pracoval samostatně a použitou literaturu jsem citoval.

Ve Zlíně, 16.5.2006

.....

podpis

OBSAH

ÚVOD	9
I TEORETICKÁ ČÁST	10
1 ZÁKLADNÍ POJMY A VZTAHY	11
1.1 ČÍSELNÉ SOUSTAVY.....	11
1.1.1 Binární (dvojková) soustava:	11
1.1.2 Dekadická (desítková) soustava:.....	11
1.1.3 Převod mezi číselnými soustavami	11
1.2 SČÍTÁNÍ DVOU BINÁRNÍCH ČÍSEL	12
1.2.1 Sčítání s mezipřevodem:	12
1.2.2 Sčítání přímo v binárním tvaru:	13
1.3 BOOLEOVA ALGEBRA	13
1.4 DE MORGANOVY ZÁKONY	14
1.5 VYTVÁŘENÍ LOGICKÝCH ROVNIC Z PRAVDIVOSTNÍ TABULKY.....	15
1.5.1 Metoda 1: Vytvoření logické funkce přímo z pravdivostní tabulky	15
1.5.2 Metoda: 2 Vytváření logické funkce pomocí Karnaughových map	15
1.5.3 Metoda: 3 Porovnávání hodnot pravdivostní tabulky s logickými funkcemi.....	17
1.6 ZÁKLADNÍ LOGICKÉ FUNKCE.....	18
2 JEDNOTLIVÉ LABORATORNÍ ÚLOHY	20
2.1 BINÁRNÍ SČÍTAČKA.....	20
2.1.1 Úkol měření:.....	20
2.1.2 Použité přístroje:	20
2.1.3 Teorie:	20
2.1.4 Domácí příprava:.....	23
2.1.5 Zadání:.....	23
2.2 KODÉRY A REKODÉRY	25
2.2.1 Úkol měření.....	25
2.2.2 Použité přístroje:	25
2.2.3 Teorie:	25
2.2.4 Domácí příprava.....	27
2.2.5 Zadání:.....	28
2.3 ČÍTAČE.....	32
2.3.1 Úkol měření:.....	32
2.3.2 Použité přístroje:	32
2.3.3 Teorie:	32
2.3.4 Zadání:.....	35
2.4 LOGICKÉ OBVODY.....	38
2.4.1 Úkol měření:.....	38
2.4.2 Použité přístroje:	39
2.4.3 Teorie:	39
2.4.4 Zadání:.....	41

2.5	A/D PŘEVODNÍK	45
2.5.1	Úkol měření:.....	45
2.5.2	Použité přístroje:	45
2.5.3	Teorie:	45
2.5.4	Zadání:.....	47
II	PRAKTICKÁ ČÁST	51
3	VYPRACOVANÉ VZOROVÉ PROTOKOLY.....	52
3.1	BINÁRNÍ SČÍTAČKA.....	52
3.1.1	Úkol měření:.....	52
3.1.2	Použité přístroje:	52
3.1.3	Polosčítačka.....	52
3.1.4	Úplná sčítačka	53
3.1.5	3-bitová sčítačka.....	55
3.1.6	Závěr:	56
3.2	KODÉRY A REKODÉRY	57
3.2.1	Úkol měření.....	57
3.2.2	Použité přístroje:	57
3.2.3	Navrhněte a realizujte rekodér z kódu BCD na 2421 a ověřte jeho funkčnost	58
3.2.4	Navrhněte a realizujte rekodér z kódu 2421 na BCD a ověřte jeho funkčnost	59
3.2.5	Navrhněte a realizujte rekodér z kódu BCD na Grayův kód a ověřte jeho funkčnost	60
3.2.6	Navrhněte a realizujte rekodér z Grayova kódu na kód BCD a ověřte jeho funkčnost	61
3.2.7	Ověřte činnost dekodéru 7447 s otevřených kolektorem pro sedmisegmentový displej	63
3.2.8	Závěr	64
3.3	ČÍTAČE.....	65
3.3.1	Úkol měření:.....	65
3.3.2	Použité přístroje:	65
3.3.3	Ověřte časový diagram asynchronního binárního čítače 7493	65
3.3.4	Ověřte zkrácení početního cyklu čítače 7493 (bez řídicího vstupu) – čítač do 12	66
3.3.5	Zapojte binární čítač ve funkci děliče 8 a navrhněte tabulku, podle které půjde zapojovat čítač ve funkci děliče 2,3,...15	67
3.3.6	Závěr	68
3.4	LOGICKÉ OBVODY	69
3.4.1	Úkol měření:.....	69
3.4.2	Použité přístroje:	69
3.4.3	Převodní charakteristika hradla NAND	70
3.4.4	Vstupní charakteristika hradla NAND	71
3.4.5	Výstupní charakteristika hradla NAND	72
3.4.6	Ověřte typ logické funkce a najděte její integrovanou verzi	73
3.4.7	Navrhněte a realizujte hradlové obvody podle zadání	73
3.4.8	Závěr:	76

3.5	AD PŘEVODNÍK	77
3.5.1	Úkol měření:.....	77
3.5.2	Použité přístroje:	77
3.5.3	Zapojení kvantovacích komparátorů.....	77
3.5.4	Úprava výstupního napětí komparátorů pro TTL obvody	78
3.5.5	Kódování upraveného výstupního napětí na logické hodnoty	78
3.5.6	Závěr	79
ZÁVĚR.....		80
SEZNAM POUŽITÉ LITERATURY		81
SEZNAM OBRÁZKŮ		82
SEZNAM TABULEK.....		84

ÚVOD

Součástí výuky třetích ročníků na fakultě Aplikované informatiky Univerzity Tomáše Bati ve Zlíně je předmět Mikroelektronika. Cílem tohoto předmětu je seznámit studenty s principy funkčnosti a měření logických funkcí a obvodů. Předmět je rozdělen na teoretickou oblast přednášek a praktickou část laboratorních cvičení. Cílem laboratorních cvičení je ověření teoretických poznatků studentů z přednášek. Ve cvičeních se předpokládá určitá samostatnost studentů. Student by měl být schopen zapojit jednotlivé měřené obvody bez přímé pomoci, umět ovládat měřicí přístroje a provádět měření. Učitel by na cvičeních měl sloužit jen jako dozor a v případě nějaké nejasnosti studentům vysvětlit danou problematiku. K úspěšnému zvládnutí laboratorních cvičení je nezbytné, aby byla studentům jasná podstata a účel laboratorní úlohy ještě před samostatným začátkem cvičení. Příprava na laboratorní cvičení má tedy vycházet z vědomostí získaných na přednáškách doplněných návody k jednotlivým laboratorním úlohám.

Úkolem této práce je vytvořit pět laboratorních úloh pro předmět Mikroelektronika. Student se v nich má seznámit s logickými funkcemi, součástkami, měřením a navrhováním logických obvodů. Práce je rozdělena na teoretickou a praktickou část.

Teoretická část obsahuje základní znalosti o logických funkcích, které by měl student znát a jednotlivé laboratorní úlohy. První část laboratorní úlohy obsahuje seznam pomůcek nutných pro měření. Druhá část obsahuje teorii o měřené problematice. Třetí pak je návod k laboratorní úloze, kde je uvedeno jak postupovat při provádění laboratorní úlohy. Absolvování laboratorní úlohy je spojeno se zpracováním protokolu o provedeném měření ve formě a rozsahu, které určí vyučující. Protokol by měl obsahovat naměřená data, postup práce a celkové vyhodnocení měření.

Praktická část obsahuje vzorové protokoly k daným laboratorním úlohám.

I. TEORETICKÁ ČÁST

1 ZÁKLADNÍ POJMY A VZTAHY

1.1 Číselné soustavy

1.1.1 Binární (dvojková) soustava:

Používá pouze dva stavy 0 a 1. Stav 0 znamená vypnuto, nižší úroveň signálu, lež a podobně. Stav 1 má význam přesně opačný, zapnuto, vyšší úroveň signálu, pravda atd.

1.1.2 Dekadická (desítková) soustava:

Používá deset stavů (čísla 0-9). Je to klasická soustava, kterou používáme v každodenním životě.

1.1.3 Převod mezi číselnými soustavami

Převod z dekadické soustavy na binární:

Dekadické číslo se dělí 2, zapisuje se zbytek po dělení a výsledek se dělí dál, dokud nezůstane 1. Zbytky se pak sepíší z konce na začátek.

Příklad:

101	/	2	=	50	zbytek 1
50	/	2	=	25	zbytek 0
25	/	2	=	12	zbytek 1
12	/	2	=	6	zbytek 0
6	/	2	=	3	zbytek 0
3	/	2	=	1	zbytek 1
1	/	2	=	0	zbytek 1

$$101_D = 1100101_B$$

Převod z binární soustavy na dekadickou:

Každý bit binárního čísla se násobí 2^n , kde n je číslo odpovídající pořadí bitu z prava v binárním čísle sníženém o 1. První bit (bit nejvíce vpravo) má totiž hodnotu pořadí rovnu 0.

Příklad:

$$11010110_B = 1 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 1 \cdot 128 + 1 \cdot 64 + 0 \cdot 32 + 1 \cdot 16 + 0 \cdot 8 + 1 \cdot 4 + 1 \cdot 2 + 0 \cdot 1 = 214$$

$$11010110_B = 214_D$$

1.2 Sčítání dvou binárních čísel

Sčítání dvou binárních čísel lze provést buď přímo v binárním tvaru nebo se binární čísla nejprve převedou na dekadická, sečtou se a poté opět převedou zpět na binární a nebo se případně nechají v dekadickém tvaru.

Druhá možnost je sčítat binární čísla přímo v binární soustavě.

Příklad:

Máme binární čísla: A (011)_B

B (101)_B

1.2.1 Sčítání s mezipřevodem:

$$A(011)_B = 1 \cdot 2^1 + 1 \cdot 2^0 = 2 + 1 = 3_D$$

$$B(101)_B = 1 \cdot 2^2 + 1 \cdot 2^0 = 4 + 1 = 5_D$$

$$A+B = 3+5 = 8_D$$

$$8 / 2 = 4 \quad \text{zbytek } 0$$

$$4 / 2 = 2 \quad \text{zbytek } 0$$

$$2 / 2 = 1 \quad \text{zbytek } 0$$

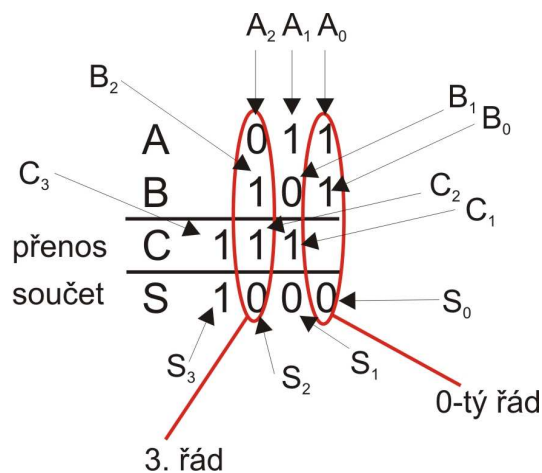
$$1 / 2 = 0 \quad \text{zbytek } 1$$

$$A+B = 1000_B$$

1.2.2 Sčítání přímo v binárním tvaru:

Jelikož binární soustava má pouze dva stavy 0,1 není tedy $1+1 \neq 2$, ale $1+1=0$ a vznikne přenos $C=1$ do vyššího řádu, viz. příklad a Obr.1.

$$\begin{array}{r} A \quad 011 \\ B \quad \underline{101} \\ \hline A+B \quad 1000_B \end{array}$$



Obr. 1. Sčítání binárních čísel

Při sčítání v nultém řádu $1+1=0$ vznikl přenos $C_1=1$, který se přičetl k prvnímu řádu $1+0+1_{C_1}=0$ a opět vznikl přenos $C_2=1$. Připočítáním přenosu C_2 ke druhému řádu $0+1+1_{C_2}=0$ vznikl přenos $C_3=1$ a ten nám vytvořil třetí řád =1.

1.3 Booleova algebra

Booleova algebra je prostředkem pro vyjádření a úpravy logických výrazů. Vodorovná čára nad číslicemi nebo písmeny značí negaci.

Konstanty	Jedna proměnná	Dvě proměnné
$\bar{0}=1$	$\bar{\bar{A}}=A$	$A \cdot B = B \cdot A$
$\bar{1}=0$	$0 \cdot A = 0$	$A + B = B + A$
$0 \cdot 0 = 0$	$1 + A = 1$	
$1 \cdot 0 = 0 \cdot 0 = 0$	$0 + A = A$	
$1 \cdot 1 = 1,$	$1 \cdot A = A$	
$0 + 0 = 0$	$A \cdot A = A$	
$0 + 1 = 1 + 0 = 1$	$A + A = A$	
$1 + 1 = 1$	$A \cdot \bar{A} = 0$	
	$A + \bar{A} = 1$	
Tři proměnné		Další vztahy
$(A \cdot B) \cdot C = A \cdot (B \cdot C) = A \cdot B \cdot C$		$A \cdot (A + B) = A$
$(A + B) + C = A + (B + C) = A + B + C$		$A + (A \cdot B) = A$
$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$		$A \cdot (\bar{A} + B) = A \cdot B$
$A + (B \cdot C) = (A + B) \cdot (A + C)$		$A + (\bar{A}B) = A + B$
		$(A \cdot B) + (\bar{A} \cdot B) = B$

1.4 De Morganovy zákony

Pomocí těchto zákonů lze převádět logický součin na logický součet a opačně.

$$\overline{A * B * C * \dots} = \bar{A} + \bar{B} + \bar{C} + \dots$$

$$\overline{A + B + C + \dots} = \bar{A} * \bar{B} * \bar{C} * \dots$$

Pokud chceme například nahradit logický součet ve funkci $Y = A * B + A * \bar{C} + \bar{B} * C$ logickým součinem, provedli bychom následující úpravy:

$$\begin{aligned} Y &= A * B + A * \bar{C} + \bar{B} * C = \overline{\overline{A * B + A * \bar{C} + \bar{B} * C}} = \\ &= \overline{\overline{A * B} * \overline{A * \bar{C}} * \overline{\bar{B} * C}} = \overline{\overline{A * B} * \overline{A * \bar{C}} * \overline{\bar{B} * C}} \end{aligned}$$

Všimněte si, že bylo třeba celý výraz dvakrát znegovat, abychom jej dostali do vhodného výchozího stavu.

1.5 Vytváření logických rovnic z pravdivostní tabulky

1.5.1 Metoda 1: Vytvoření logické funkce přímo z pravdivostní tabulky

Tab. 1. Pravdivostní tabulka

X_2	X_1	X_0	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Jestliže je tabulka jednoduchá můžeme vytvořit rovnice přímo z ní a to pro řádky v nichž je jednotlivá výstupní funkce rovna 1. V rámci řádku provádíme logický součin, mezi řádky logický součet. Výsledná logická rovnice pro funkci Y poté bude vypadat takto:

$$Y = \overline{X_2} * X_1 * X_0 + X_2 * \overline{X_1} * X_0 + X_2 * X_1 * X_0$$

Na výslednou logickou rovnici funkce Y ještě můžeme aplikovat nejrůznější logické algebraické zákony pro její zjednodušení.

1.5.2 Metoda: 2 Vytváření logické funkce pomocí Karnaughových map

Abychom nemuseli logickou funkci složitě a zdlouhavě zjednodušovat pomocí výše uvedených vztahů, použijeme k jejímu zjednodušení tzv. Karnaughovu mapu (K-mapu). Ta se sestavuje pomocí pravdivostní tabulky hodnot nebo přímo ze zápisu funkce. Karnaughova mapa obsahuje tolik políček, kolik je možných variací hodnot vstupních proměnných. Tedy pro n proměnných je v Karnaughově mapě 2^n políček. Například v tabulce 2. vidíme funkci $Y=f(X_3, X_2, X_1, X_0)$. Počet vstupních proměnných n je tedy roven 4 ($n=4$). K-mapu bude tedy mít 2^n , to je $2^4=16$ políček viz. Obr2.

Na horizontální stranu K-mapy napíšeme všechny možné kombinace prvních dvou proměnných (např. X_3, X_2). K vertikální straně pak všechny možné kombinace zbylých dvou proměnných (X_1, X_0). Při zápisu je třeba dbát na to, aby u sousedních políček docházelo vždy jen ke změně jedné proměnné. Například pro X_3, X_2 není přípustný zápis 00,01,10,11

neboť při přechodu z 01 na 10 se mění současně X_3 z 0 na 1 i X_2 z 1 na 0. Správný zápis tedy je 00,01,11,10.

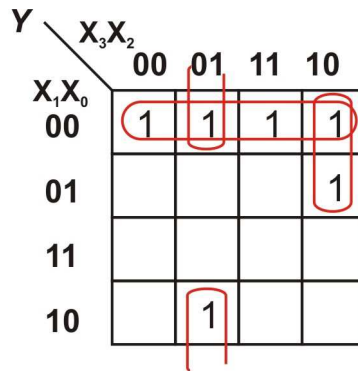
Pro řádky pravdivostí tabulky v nichž je výstupní funkce Y rovna 1 napíšeme do buněk K-mapy hodnotu 1. Buňku K-mapy určíme podle kombinace vstupních proměnných X_0 - X_3 v řádku pravdivostní tabulky a průniku řádku a sloupce jim odpovídajících kombinací X_0 - X_3 na stranách K-mapy.

Jedničky pak uzavřeme do smyček po jedné, dvou, čtyřech, osmi atd., to znamená o velikosti 2^n . Čím více je ve smyčce jedniček, tím více se zjednoduší funkce. Snažíme se proto sestavovat smyčky zahrnující co největší počet jedniček. Pro jednotlivé smyčky pak napíšeme nové zjednodušené rovnice. Proměnné, které se ve smyčce vyskytují pouze v hodnotě 0 vypisujeme negovaně ($X_i=0 \rightarrow \overline{X}$), hodnotě 1 vypisujeme normálně ($X_i=1 \rightarrow X$). Pokud se ve smyčce proměnná vyskytuje v obou hodnotách pak se navzájem vyruší a tudíž se vynechá.

Například:

Tab. 2. Pravdivostní tabulka pro K-mapu

X_3	X_2	X_1	X_0	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1



Obr. 2. K-mapa

Výsledná logická rovnice pro funkci Y poté bude vypadat takto:

$$Y = \overline{X_1} * \overline{X_2} * X_3 + \overline{X_0} * \overline{X_1} + \overline{X_0} * X_2 * \overline{X_3}$$

Na výslednou logickou rovnici funkce Y ještě můžeme aplikovat nejrůznější logické algebraické zákony pro její zjednodušení.

1.5.3 Metoda: 3 Porovnávání hodnot pravdivostní tabulky s logickými funkcemi

Pokud se hodnoty výstupní logické funkce s porovnáním ke vstupním hodnotám rovnají přímo některé z logických funkcí můžeme je psát přímo těmito funkcemi.

Například pokud máme následující pravdivostní tabulku (Tab. 3) a máme určit rovnice výstupních funkcí $Y_0=f(X_3,X_2,X_1,X_0)$, $Y_1=f(X_3,X_2,X_1,X_0)$, $Y_2=f(X_3,X_2,X_1,X_0)$, $Y_3=f(X_3,X_2,X_1,X_0)$, postupujeme následovně.

Tab. 3. Pravdivostní tabulka pro výpis log. funkcemi

X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	1	1	0
1	0	0	1	1	1	1	1

Logické funkce Y porovnáme se vstupními hodnotami X₀-X₃ a zjistíme, že funkce Y₀ a X₀ jsou totožné. Můžeme tedy napsat rovnici pro výstupní funkci Y₀=X₀.

Při porovnávání funkce Y_3 s hodnotami X_0 - X_3 najdeme rovnost, ale tentokrát s X_3 . Můžeme tedy pro výstupní funkci Y_3 napsat rovnici $Y_3=X_3$.

Pro získání ostatních logických rovnic pro funkce Y_1 , Y_2 již nenalzáme rovnost se vstupní funkcí, můžeme tedy použít jinou metodu např. K-mapu. Když se však podíváme pozorně najdeme další závislosti.

V případě, že znegujeme vstupní funkci X_3 a budeme ji násobit s funkcí X_1 bude její výsledná funkce rovna výstupní funkci Y_1 . Můžeme tedy napsat rovnici pro výstupní funkci $Y_1 = X_1 * \overline{X_3}$.

Pokud by jsme sčítali vstupní funkce X_2 a X_3 zjistili by jsme, že jejich výsledná funkce je rovna výstupní funkci Y_2 . Můžeme tedy napsat rovnici pro výstupní funkci $Y_2 = X_2 + X_3$.

Porovnáváním jsme tedy dostali tyto rovnice:

$$\begin{aligned}Y_0 &= X_0 \\Y_1 &= X_1 * \overline{X_3} \\Y_2 &= X_2 + X_3 \\Y_3 &= X_3\end{aligned}$$

1.6 Základní logické funkce

AND – česky znamená „i“, je to logický součin

NAND – negovaný logický součin

OR – česky znamená „nebo“, je to logický součet

NOR – negovaný logický součet

XOR – nonekvivalence, neshoda, nerovnost

NXOR – ekvivalence, shoda, rovnost

NOT – česky znamená „opak“, je to negace

Tab. 4. Logické funkce

		AND	OR	NAND	NOR	XOR	NXOR
A	B	0	0	1	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	1	0	0	0	1

Tab. 5. Negace

		NOT
0	X	1
1	X	0

2 JEDNOTLIVÉ LABORATORNÍ ÚLOHY

2.1 Binární sčítačka

2.1.1 Úkol měření:

1. Navrhněte a realizujte 3-bitovou sčítačku. Pro řešení využijte dílčích kroků:
 - pomocí pravdivostní tabulky navrhněte a realizujte polosčítačku
 - pomocí pravdivostní tabulky navrhněte a realizujte úplnou sčítačku
 - propojte polosčítačku a úplnou sčítačku navzájem
2. Ověřte funkčnost sčítačky: např. $3_{10}+3_{10}=6_{10}$ ($011_2+011_2=110_2$)
3. Vypracujte protokol o měření

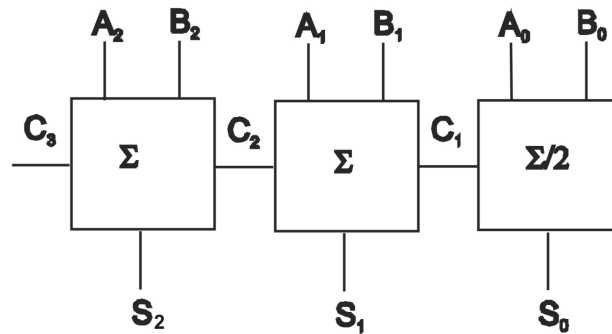
2.1.2 Použité přístroje:

Zdroj vstupních hodnot:	Log selektor RC
Zobrazovač hodnot:	Log probe RC
Hradla:	2x 7400 (4x NAND)
	7486 (4x XOR)
	2x 7432 (4x OR)
	2x 7408 (4x AND)

2.1.3 Teorie:

Binární sčítačka

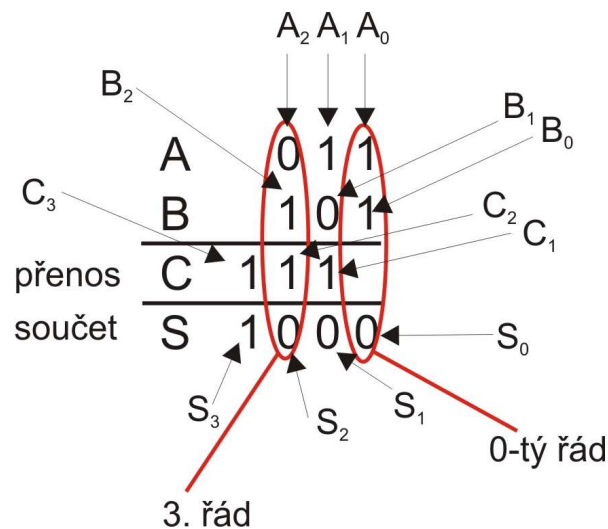
Sčítání binárních čísel se řídí rovnicí: $S_i = A_i + B_i + C_i$ kde A_i, B_i jsou sčítanci, C_i představuje přenos z nižšího řádu a S_i je výsledek. Z toho plyne, že sčítačka má tři stupy A_i, B_i, C_i a dva výstupy S_i, C_{i+1} . Blokové schéma pro sčítání dvou tříbitových čísel je patrné z Obr. 3.



Obr. 3. Blokové schéma 3-bitové sčítačky

Všimněte si, že člen pro sčítání v 0-tém řádu má pouze vstupy dva A_0, B_0 a to proto, že v tzv. nultém řádu se nepřičítá přenos z nižšího řádu. Tento člen $\Sigma/2$ se nazývá polosčítačka. Pro sčítání ve vyšších řádech už se využívá úplné sčítačky Σ . K přenosu do vyššího řádu tedy $C_i = 1$ nastane při překročení maximální cifry při součtu. Tedy když $A_i + B_i = 1 + 1$.

Příklad sečtení dvou tříbitových čísel $A=(A_2,A_1,A_0)=(0,1,1)$ a $B=(B_2,B_1,B_0)=(1,0,1)$ vidíme níže.



Obr. 4. Součet dvou tříbitových čísel

Postup vytvoření polosčítačky

Pravdivostní tabulka pro polosčítačku má dvě vstupní hodnoty A_0, B_0 a dvě výstupní. S_0 je výsledek sčítání a C_1 je přenos do vyššího řádu.

Tab. 6. Pravdivostní tabulka polosčítačky

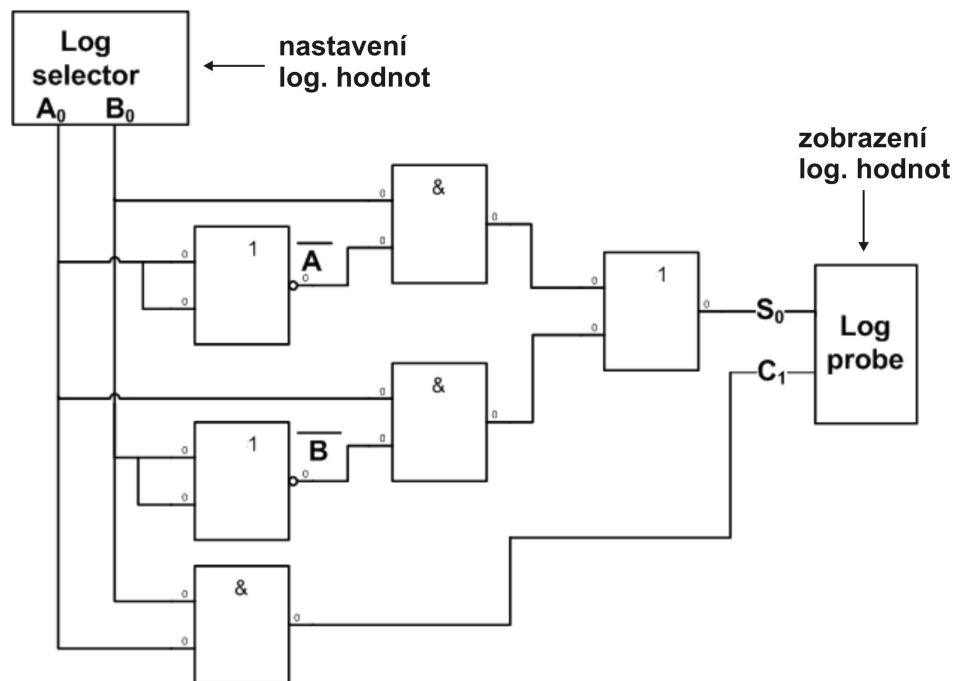
A_0	B_0	S_0	C_1
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Nejprve pro výstupní funkce S_0 a C_1 vytvoříme dvě logické rovnice. Tyto logické rovnice vytvoříme pomocí pravdivostní tabulky a to buď přímo z ní pomocí logických funkcí a nebo pomocí Karnaughových map. Jelikož je tabulka jednoduchá můžeme vytvořit rovnice přímo z ní pro řádky, v nichž je jednotlivá výstupní funkce rovna 1 sestavíme rovnice tak, že v rámci řádku provádíme logický součin, mezi řádky logický součet.

$$S_0 = \overline{A_0} * B_0 + A_0 * \overline{B_0}$$

$$C_1 = A_0 * B_0$$

Po sestavení logických rovnic z nich vytvoříme schéma zapojení polosčítačky, které bude mít rovněž dva vstupy A_0, B_0 a dva výstupy S_0, C_1 (viz Obr.5).



Obr. 5. Schéma zapojení polosčítačky

2.1.4 Domácí příprava:

- a) Z pravdivostní tabulky pro polosčítačku sestavte logickou funkci pro S_0 a C_1 . Navrhněte schéma zapojení pomocí logických členů NAND (viz. postup v příkladu). K úpravě funkce využijte De Morganových zákonů.
- b) Z pravdivostní tabulky pro úplnou sčítačku sestavte K-mapu. Z K-mapy sestavte funkce pro S_1 a C_2 . Funkci C_2 realizujte pomocí logických členů NAND a funkci S_1 realizujte dle možností (nejlépe použitím logického členu XOR). K úpravě funkce využijte De Morganových zákonů.

2.1.5 Zadání:

1) Polosčítačka

- a) Poznamenejte si používané součástky a přístroje.
- b) Na základě schématu polosčítačky zapojeného pomocí logických členů NAND (viz. domácí příprava) zapojte obvod a ověřte jeho funkčnost.

POSTUP:

- jako zdroj logických hodnot A_0 , B_0 použijte výstupy Log selektoru A_0 , A_1 . Výstupy S_0 , C_1 připojte na vstupy zobrazovače (Log probe A_0 , A_1), viz. Obr.5.
 - pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)
 - volbu vstupních hodnot A_0 , B_0 provádějte pomocí tlačítek Log selektoru na základě pravdivostní tabulky a výstupy zobrazené na zobrazovači „Log probe“ porovnávejte s výstupy v pravdivostní tabulce.
- c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.

Tab. 7. Pravdivostní tabulka
polosčítačky

A_0	B_0	S_0	C_1
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

2) Úplná sčítačka

- a) Poznamenejte si používané součástky a přístroje.
- b) Opět použijte schéma z domácí přípravy a ověřte jeho funkčnost, případně jej opravte. Postup je stejný jako u polosčítačky. Pro připojení vstupní hodnoty C_1 využijte opět Log selektoru, napojením na výstup A_2 .

Tab. 8. Pravdivostní tabulka pro úplnou sčítačku

A_1	B_1	C_1	S_1	C_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3) 3-bitová sčítačka

Navrhněte schéma zapojení pro 3-bitovou sčítačku, zapojte jej a ověřte si jeho funkčnost.

Jedná se vlastně o kombinaci polosčítačky a dvou úplných sčítaček viz. obecné schéma 3-bitové sčítačky Obr.1. Sčítačka bude mít 6 vstupních hodnot $A_0 - A_2$, $B_0 - B_2$, 4 výstupní hodnoty $S_0 - S_2$ a C_3 . Přenosy do vyšších řádů C_1 , C_2 budou vždy připojeny k další sčítačce. Přenos C_3 zůstane pouze jako výstup. C_1 bude tedy připojeno k první úplné sčítačce a C_2 k druhé úplné sčítačce.

K realizaci použijte libovolné logické členy.

2.2 Kodéry a Rekodéry

2.2.1 Úkol měření

1. Navrhněte a realizujte rekodér z kódu BCD na kód 2421 a ověřte jeho funkčnost
2. Navrhněte a realizujte rekodér z kódu 2421 na kód BCD a ověřte jeho funkčnost
3. Navrhněte a realizujte rekodér z kódu BCD na Grayův kód a ověřte jeho funkčnost
4. Navrhněte a realizujte rekodér z Grayova kódu na kód BCD a ověřte jeho funkčnost
5. Ověřte činnost dekodéru 7447 s otevřených kolektorem pro sedmissegmentový displej
 - vytvořte pravdivostní tabulku
 - navrhněte schéma tak, aby na výstupu byly stavy 0 a 1
6. Vypracujte protokol o měření

2.2.2 Použité přístroje:

Zdroj vstupních hodnot:	Log selektor RC
Zobrazovač hodnot:	Log probe RC
Hradla:	7404 (6x NOT)
	7400 (4x NAND)
	7402 (4x NOR)

2.2.3 Teorie:

Digitální technika dnes pracuje na binárním základě, tj. zpracovávají se pouze dva stavy 0 a 1 (představuje informaci jednoho BITu). Pro zobrazení výsledku, například na kalkulačce, je potřeba tuto informaci převést do pro nás srozumitelnějšího tvaru - do deseti stavu (desítková soustava). Jednou z nejčastějších činností je tedy převod kódu, který realizují kodéry, dekodéry a rekodéry.

Kodér - představuje kombinační logický obvod, který převádí kód I z n na jiný typ kódu, např. I ze 4 na BCD, I z 10 na BIN apd.

Dekodér - představuje opět kombinační logický obvod, který převádí z určitého typu kódu na kód l z n , např. z BCD na l z 16 apd. Je to opak kodéru.

Rekodér - převádí z jednoho typu kódu na druhý (ne přes k z n), např. BCD na 2421 a pod.

BCD kód

Číslicové měřicí přístroje zpracovávají desítkové cifry někdy oddělené (řády), je tedy vhodné převést každou cifru na binární tvar zvlášť. Na číslo do deseti nám postačují 4 binární pozice, tedy 8,4,2,1 (podle řádu). Na řád desítek postačuje 80,40,20,10, pro stovky stačí základní binární pozice násobit stem atd. Toto spojení binárního a desítkového kódování je právě BCD (binary code decimal) kód. Označení BCD(8421) znamená pořadí v kódu, někdy se používá obrácených vah 1248.

2421 kód

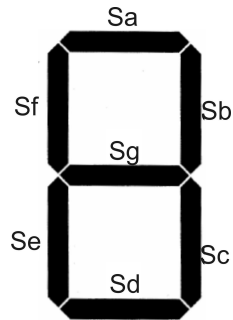
Kód 2421 se hodně používá pro měřicí přístroje. Těchto kódů existuje celá řada podle toho, jak poslední váhu 2 přiřazujeme.

Grayuv kód

Při převodech analogových veličin na digitální se někdy používá právě Grayova kódu. Uplatnění má rovněž při přenosech dat, neboť se takto vyhneme chybám při přechodových stavech. Grayovo kódování má tu výhodu, že se sousední čísla v kódované podobě mění pouze na jedné pozici. V binárním tvaru je číslo 7 vyjádřeno 0111 a číslo 8 1000, tedy změna na všech místech. V Grayově kódu je 7 reprezentována řetězcem 0100 a číslo 8 je 1100.

Kód pro sedmisegmentové displeje

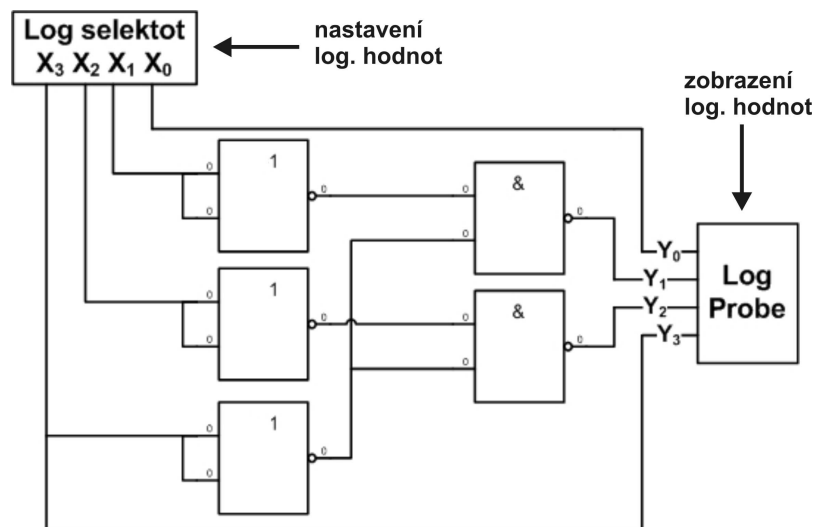
Přístroje používající displejů k zobrazení čísel (Obr. 6) musí kódovat desítkový kód na kód o sedmi pozicích. Pro zobrazení čísla je potřeba inicializovat určité segmenty S_a až S_g . Pokud má segment S_i při zobrazované číslici svítit je nastaven na logickou hodnotu 1.



Obr. 6. Sedmi-segment. displej

2.2.4 Domácí příprava

a) Z pravdivostních tabulek (Tab. 9, Tab. 10, Tab. 11, Tab. 12) pro úkoly měření 1-4 vytvořte výstupní logické rovnice. Pro vytvoření rovnic můžete použít kteréhokoliv způsobu. S efektivností se zde však dá použít porovnávání hodnot s log. funkcemi viz. Obr. 7. Pro vytvořené rovnice navrhnete schémata zapojení.



Obr. 7. Varianta zapojení BCD na 2421

b) Doplňte pravdivostní tabulku sedmisedimentového displeje (úkol 5.). Pokud má segment S_i při zobrazované číslici svítit je nastaven na logickou hodnotu 1.

2.2.5 Zadání:

1) Navrhňte a realizujte rekodér z kódu BCD na 2421 a ověřte jeho funkčnost

- Poznamenejte si používané přístroje.
- Na základě schématu rekodéru kódu z BCD na 2421 (viz. domácí příprava) zapojte obvod a ověřte jeho funkčnost.

POSTUP:

- jako zdroj logických hodnot X_0 - X_3 použijte výstupy Log selektoru A_0 - A_3 . Výstupy Y_0 - Y_3 připojte na vstupy zobrazovače (Log probe A_0 - A_3), viz. Obr.7.
 - pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)
 - volbu vstupních hodnot X_0 - X_3 provádějte pomocí tlačítek Log selektoru na základě pravdivostní tabulky a výstupy zobrazené na zobrazovači „Log probe“ porovnávejte s výstupy v pravdivostní tabulce.
- c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.

Tab. 9. Pravdivostní tabulka BCD na 2421

	BCD 8421				2421			
	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

2) Navrhňte a realizujte rekodér z kódu 2421 na BCD a ověřte jeho funkčnost

- Poznamenejte si používané součástky a přístroje.
- Opět použijte schéma z domácí přípravy a ověřte jeho funkčnost, případně jej opravte. Postup je stejný jako u rekodéru kódu z BCD na 2421.

Tab. 10. Pravdivostní tabulka 2421 na BCD

	2421				BCD 8421			
	Y ₃	Y ₂	Y ₁	Y ₀	X ₃	X ₂	X ₁	X ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	1	1	0	1	0	0	0
9	1	1	1	1	1	0	0	1

3) Navrhňte a realizujte rekodér z kódu BCD na Grayův kód a ověřte jeho funkčnost

a) Poznamenejte si používané součástky a přístroje.

b) Opět použijte schéma z domácí přípravy a ověřte jeho funkčnost, případně jej opravte.

Postup je stejný jako u rekodéru kódu z BCD na 2421.

Tab. 11. Pravdivostní tabulka BCD na Grayův

	BCD 8421				Gray			
	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1

4) Navrhňte a realizujte rekodér z Grayova kódu na kód BCD, ověřte jeho funkčnost

a) Poznamenejte si používané součástky a přístroje.

b) Opět použijte schéma z domácí přípravy a ověřte jeho funkčnost, případně jej opravte.

Postup je stejný jako u rekodéru kódu z BCD na 2421.

Tab. 12. Pravdivostní tabulka Gray na BCD

	Gray				BCD 8421			
	Y ₃	Y ₂	Y ₁	Y ₀	X ₃	X ₂	X ₁	X ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1

5) Ověřte činnost dekodéru 7447 s otevřených kolektorem pro sedmissegmentový displej

a) Poznamenejte si používané součástky a přístroje.

b) Zapojte dekodér 7447 a ověřte si jeho funkčnost podle pravdivostní tabulky (viz. domácí příprava).

POSTUP:

- jako zdroj logických hodnot X₀-X₃ použijte výstupy Log selektoru A₀-A₃. Tyto hodnoty připojte na vstupy A,B,C,D dekodéru 7447. X₀ připojte na vstup A, X₁ na vstup B atd.

- výstupy a-g dekodéru 7447 připojte na zobrazovač „Log probe“. Výstup „a“ na vstup A₀, „b“ na vstup A₁ atd.

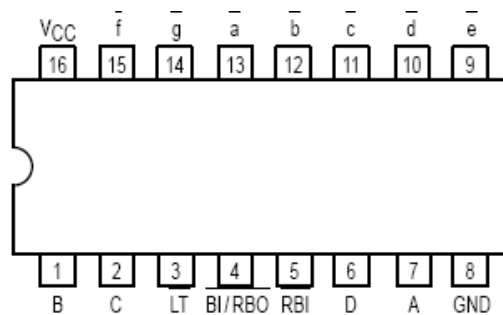
- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)

- volbu vstupních hodnot X₀-X₃ provádějte pomocí tlačítek Log selektoru na základě pravdivostní tabulky a výstupy zobrazené na zobrazovači „Log probe“ porovnávejte s výstupy v pravdivostní tabulce.

c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.

Tab. 13. Pravdivostní tabulka sedmissegmentového displeje

čís- lo	BCD				Výstupní hodnoty segmentů						
	X ₃	X ₂	X ₁	X ₀	S _a	S _b	S _c	S _d	S _e	S _f	S _g
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							



Obr. 8. Obvod 7447

Popis obvodu 7447:V_{cc} – napájení 5V

GND – uzemnění

A,B,C,D – vstupy BCD

a až g – výstupy dekodéru

2.3 Čítače

2.3.1 Úkol měření:

1. Zapište si použité přístroje
2. Ověřte časový diagram asynchronního binárního čítače 7493
3. Ověřte zkrácení početního cyklu čítače 7493
4. Zapojte binární čítač ve funkci děliče 8 a navrhnete tabulku, podle které půjde zapojovat čítač ve funkci děliče 2,3,...15
5. Vypracujte protokol o měření

2.3.2 Použité přístroje:

Zobrazovač hodnot:	Log probe RC
Hradla:	7493 (čítač)
Generátor pulsů:	Time base RC
Propojení s PC:	Analog & Digital Data Unit RC
Program na kontrolu logických zapojení :	RC 2000 Logic Analyzer

2.3.3 Teorie:

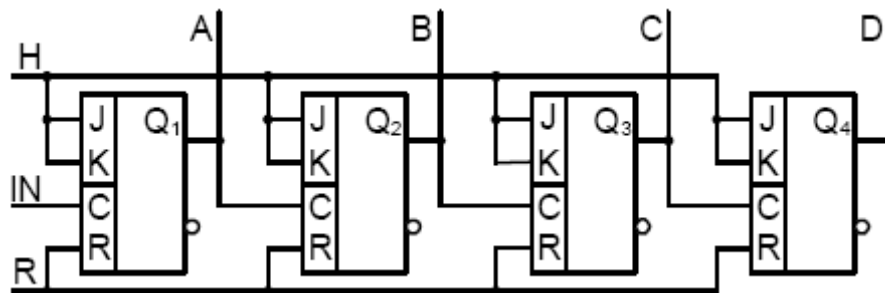
Využití JK klopných obvodů je i v oblasti digitálních čítačů. Čítač je obvod, který dokáže spočítat počet pulsů, například obdélníkového signálu. Lze jich využít pro měření času, pro synchronizaci nebo též k dělení vstupního kmitočtu k tzv. děliči frekvence.

Čítače můžeme rozdělit:

1. Podle propojení BKO (bistabilní klopný obvod) na hodinové pulsy na
 - **asynchronní** – hodinový vstup je vždy vázán na výstup předchozího stupně, první na vstupní čítané pulsy
 - **synchronní** – hodinové pulsy všech BKO jsou propojeny paralelně na vstupní impulsy.
2. Podle počtu čítaných impulsů na
 - **binární (BIN Č.)** – úroveň čítání N je dána počtem stupňů čítače n, tj. $N=2^n$
 - **dekadický (BCD Č.)** – desítkový čítač (mod 10)

- *ostatní* – verze mod N
3. Podle směru čítání na
- *vpřed* – od menšího čísla k většímu
 - *vzad* – čítají obráceně
 - *vratné* – s možností změny směru čítání.

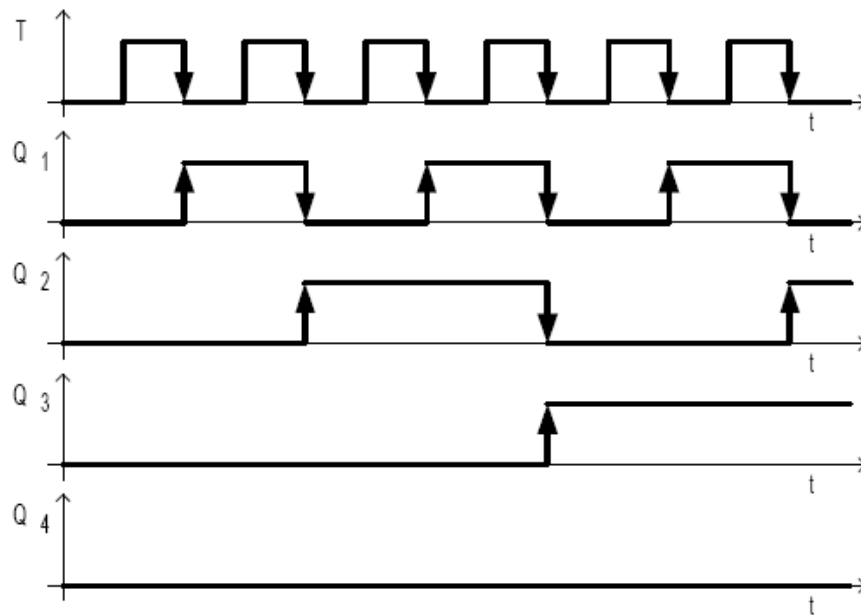
K realizaci čítače se použije JK klopný obvod, kde se využije jeho vlastnosti jako děličky. JK klopný obvod dělí vstupní frekvenci na poloviční frekvenci, což odpovídá binárnímu kódu (proto binární čítač). Klopné obvody zapojené do série, kde výstup Q jednoho klopného obvodu se použije jako T vstup do dalšího v řadě (proto asynchronní). Na J a K vstupy se přivede stav log 1, podle pravdivostní tabulky JK klopného obvodu se bude tedy výstup s týlem překlápět. Na vstup T pak přivedeme signál, který budeme analyzovat.



Obr. 9. Struktura asynchronního binárního čítače vpřed

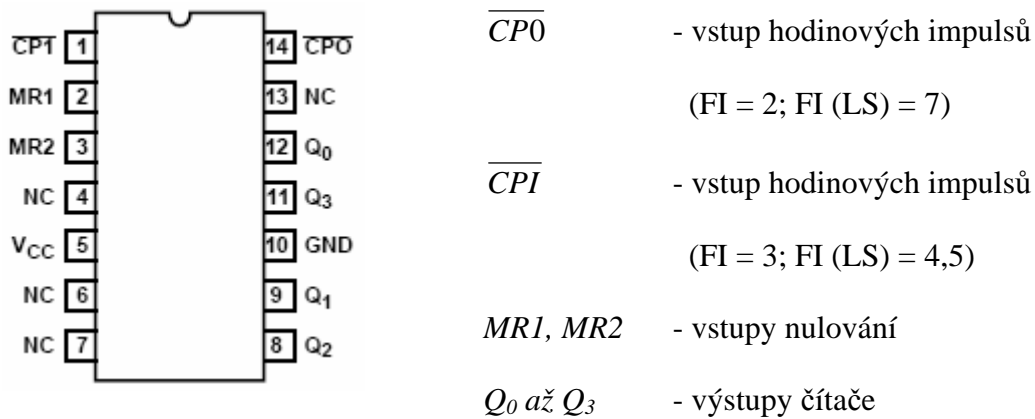
Funkce čítače podle Obr. 9:

Vstupem hodinového signálu je obdélníkový signál. Předpokládejme, že v čase $t=0$ je na všech výstupech Q logická 0 (lze realizovat nulovacím vstupem). Rovněž hodinový signál je log 0. Sledujme výstupy Q_1, Q_2, Q_3, Q_4 při změnách hodinového signálu T1. Po změně T1 0→1 se změní stav JK klopného obvodu pouze v master části, tedy výstupy jsou nezměněny. Po T1 1→0 (týl) se překlápí slave část prvního JK klopného obvodu. Na výstupu Q_1 je nyní stav log 1, což představuje čelo signálu T2 pro druhý JK klopný obvod (opět je změna pouze v master části, budeme se však zabývat pouze výstupy Q). Změna stavu Q_2 nastane až při další změně T1 1→0, kdy se změní Q_1 z 0 na 1 (resp. T2 0→1). Výstup Q_1 se mění se změnou T1 z 1 na 0, výstup Q_2 při změně Q_1 z 1 na 0, Q_3 viz. Obr.2.



Obr. 10. Časový průběh výstupů Q1 až Q4 asynchronního čítače

Binární čítač 7493



Obr. 11. Obvod 7493

Tab. 14. Funkční tabulka čítače 7493

MR ₁	MR ₂	CP ₁	Q ₃	Q ₂	Q ₁	Q ₀
H	H	x	L	L	L	L
L	x	¬	čítá	čítá	čítá	čítá
x	L	¬	čítá	čítá	čítá	čítá

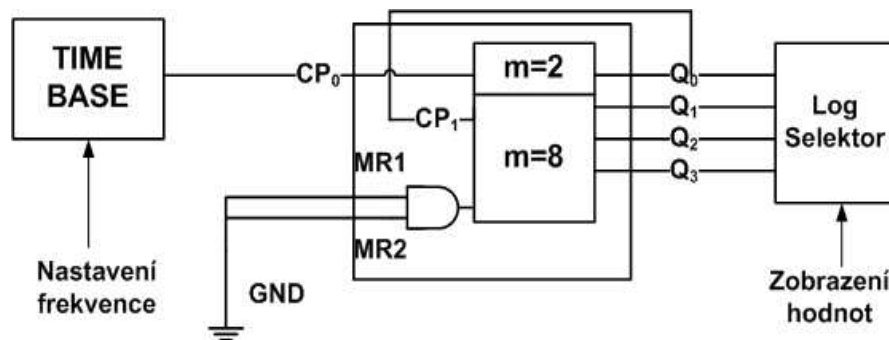
2.3.4 Zadání:

1) Ověřte časový diagram asynchronního binárního čítače 7493

- Poznamenejte si používané součástky a přístroje.
- Na základě schématu (Obr.12.) zapojte obvod a ověřte jeho funkčnost.

POSTUP:

- jako zdroj hodinových pulzů pro čítač využijte Time Base o velikosti výstupní hodnoty 1Hz. Výstupy $Q_0 - Q_3$ připojte na vstupy zobrazovače (Log probe $A_0 - A_3$).
 - pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)
 - doplňte funkční tabulku čítače hodnotami 0,1.
- c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.



Obr. 12. Schéma zapojení čítače 7493

Tab. 15. Funkční tabulka čítače1

h-i	Q ₃	Q ₂	Q ₁	Q ₀
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
A				
B				
C				
D				
E				
F				

2) Ověřte zkrácení početního cyklu čítače 7493

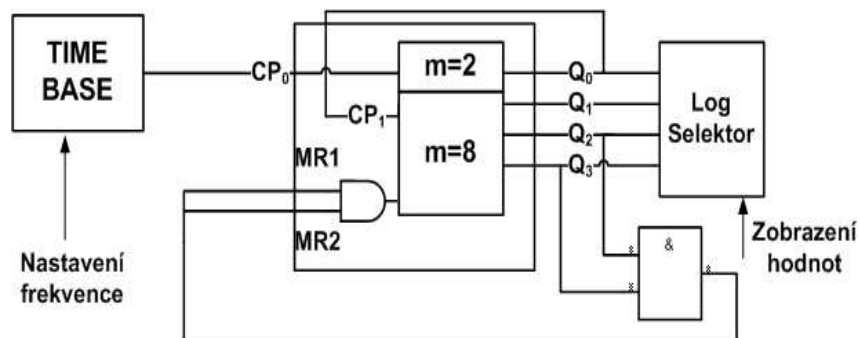
a) Poznamenejte si používané součástky a přístroje.

b) Na základě schématu (Obr.13.) zapojte obvod tak, aby pomocí řídicího vstupu čítal ve zkráceném režimu od 0 do 12 a ověřte jeho funkčnost.

Postup je stejný jako u předchozího příkladu.

Poznámka: na základě hodnot výstupů Q₃ a Q₂ se bude resetovat čítač pomocí vstupů MR₁ a MR₂. Tento reset je nutno provést v okamžiku, kdy na vstupu je dvanáctý hodinový puls (tj. 12₁₀=1100₂, tj. Q₃=1, Q₂=1)

c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.



Obr. 13. Schéma zapojení čítače ve zkráceném cyklu

Tab. 16. Funkční tabulka čítače2

h-i	Q ₃	Q ₂	Q ₁	Q ₀
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
A				
B				
C				
D				
E				
F				

3) Zapojte binární čítač ve funkci děliče 8 a navrhnete tabulku, podle které půjde zapojovat čítač ve funkci děliče 2,3,...15

a) Poznamenejte si používané součástky a přístroje.

b) Na základě schématu (Obr.14.) zapojte obvod a ověřte jeho funkčnost.

POSTUP:

- jako zdroj hodinových pulzů pro čítač využijte Time Base o velikosti výstupní hodnoty 1Hz nebo 1KHz. Výstup hodinových pulzů připojte na čítač a na vstup Digital Input D IN₇ (jednotky Analog & Digital Data Unit). Výstupy Q₀ – Q₃ připojte na vstupy Digital Input D IN₀ - D IN₃ (jednotky Analog & Digital Data Unit).

- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)

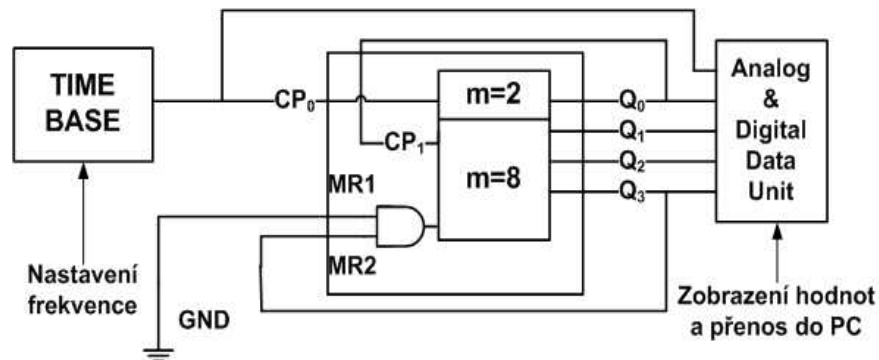
- v počítači spusťte program RC 2000 ve funkci Logic Analyzer. Vlevo dole je tlačítko RUN, kterým spustíte běh analyzáru. Pomocí šipek TIME si nastavte časovou základnu tak aby bylo dobře vidět jednotlivé stavy výstupů Q₀ – Q₃ (v programu D IN₀ – D IN₃).

- pokud máte vše dobře nastaveno na obrazovce jde dobře vidět jak se každých osm hodinových pulsů mění stav Q₃. Tlačítkem RUN zastavte běh analyzáru. Pomocí PrintScreen (Ctrl+PrtSc) sejměte obrazovku a vložte ji do programu Malování (Ctrl+V). V programu

Malování obrázků ořežte tak, aby bylo vidět jen časové průběhy a jejich označení. Uložte si jej na disk do adresáře C: \STUDENT\ČísloVašíSkupiny\příjmení.jpg. A do něj uložte obrázek pojmenovaný svým příjmením ve formátu JPG.

c) Po ověření správné funkčnosti zavolejte vyučujícího ke kontrole.

d) Navrhněte tabulku pro zapojení čítače ve funkci děliče, v tabulce je uveden způsob propojení vstupů MR_1 a MR_2 s výstupy čítače Q_0, Q_1, Q_2, Q_3 .



Obr. 14. Schéma zapojení čítače ve funkci děliče osmi

Tab. 17. Tabulka čítače ve funkci děliče

modulo	MR_1	MR_2
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		

2.4 Logické Obvody

2.4.1 Úkol měření:

1. Na hradle NAND změřte tyto charakteristiky:

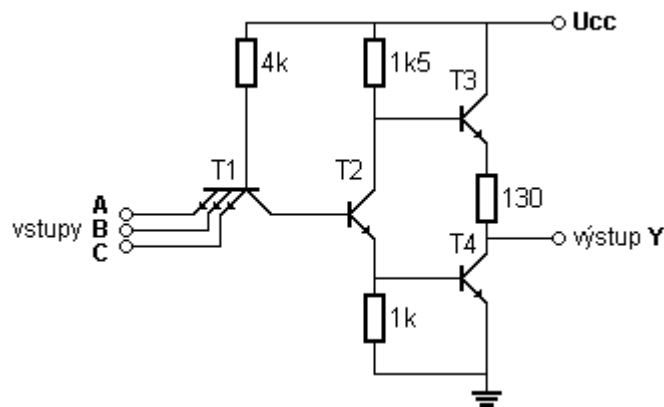
- Převodní charakteristiku
 - Vstupní charakteristiku
 - Výstupní charakteristiku
 - Jednotlivá zapojení nakreslete do protokolu a vynesete k nim naměřené závislosti
2. Ověřte typ logické funkce zobrazené v zadání na Obr.XX a v katalogu najděte její integrovanou verzi.
 3. Navrhněte a realizujte hradlové obvody podle zadání
 4. Vypracujte protokol o měření

2.4.2 Použité přístroje:

Stejnoseměrný zdroj:	Programmable DC supply RC
Zdroj vstupních hodnot:	Log selektor RC
Zobrazovač hodnot:	Log probe RC
Hradla:	7400 (4x NAND)
Proměnný rezistor:	RS dekáda Ω RS dekáda $k\Omega$
Multimetr:	METEX M386OD (použití jako voltmetr V) METEX M389OD (použití jako voltmetr V nebo ampérmetr A)

2.4.3 Teorie:

Největšího rozšíření dosáhly ve své době integrované logické systémy TTL (Transistor-Transistor-Logic). V dnešní době jsou však nahrazovány systémy STTL, MOS a CMOS, které mají nižší spotřebu a srovnatelnou rychlost. Zachovala se však definice logických úrovní. Pokud má moderní logický systém stejně definované napěťové úrovně logické nuly a jedničky, nazývá se kompatibilní s TTL na logických úrovních (logic level TTL compatible). V těchto obvodech jsou vstupní diody nahrazeny víceemitorovým tranzistorem. V TTL obvodech je nejpoužívanější řada 74xx a její teplotní verze 84xx a 54xx. Základním hradlem je NAND.

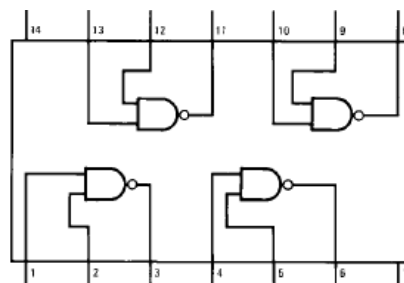


Obr. 15. Zapojení hradla NAND

Pokud na jednom, či více vstupech bude logická 0, tak se vytvoří malý potenciál na přechodu báze – emitor (0,75V) několikaemitorového tranzistoru. Tento potenciál není dostatečně velký, aby otevřel přechod báze – emitor tranzistoru T1 a přechody emitor báze u následujících tranzistorů T2 a T4. Napájecí napětí U_{CC} otevře přes rezistor (o hodnotě 1k5) tranzistor T3, přes který svede U_{CC} na výstup zapojeného obvodu. Proto naměříme na výstupu Y napájecí napětí U_{CC} . Toto napětí se rovná úrovni logické 1.

Pokud však na všech vstupech bude logická 1, v bodě přechodu báze – emitor tranzistoru T1 naměříme potenciál 2,25V, což postačuje na otevření tranzistoru T1, T2. Po otevření T2 se následně otevřou T3 a T4, které svedou napájecí napětí U_{CC} na svorku záporného pólu. V tomto případě naměříme na výstupu maximálně saturační napětí, které odpovídá logické úrovni 0.

Tyto logické systémy jsou vyráběny s různým počtem vstupů a na jednom čipu bývá umístěno více hradel. Tak například obvod 7400 je čtveřice dvojvstupových hradel NAND systému TTL jak ukazuje Obr. 16.



Obr. 16. Hradlo NAND 7400

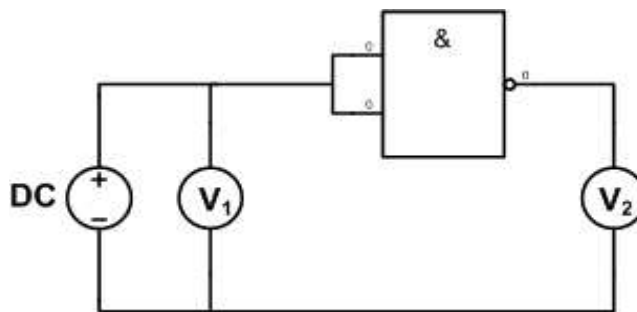
2.4.4 Zadání:

1) Změřte převodní charakteristiku hradla NAND

- Poznamenejte si používané součástky a přístroje.
- Na základě schématu (Obr.17.) zapojte obvod a změřte převodní charakteristiku hradla NAND.

POSTUP:

- na zdroji stejnosměrného napětí DC zvyšujte hodnotu napětí od 0V do 5V. Na voltmetru V_1 odečítejte a zapisujte hodnoty vstupního napětí a na voltmetru V_2 hodnoty výstupního napětí. Porovnáním těchto napětí dostanete převodovou charakteristiku.
- nejvíce měření provádějte v rozmezí vstupního napětí od 0 do 2V.
- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)



Obr. 17. Měření převodní charakter. NAND

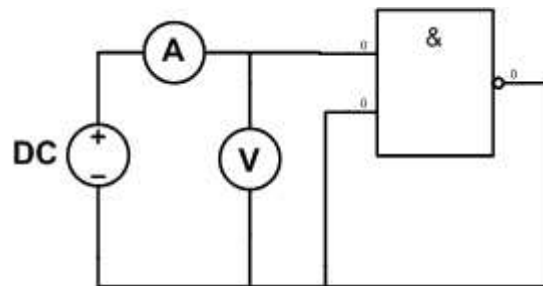
2) Změřte vstupní charakteristiku hradla NAND

- Poznamenejte si používané součástky a přístroje.
- Na základě schématu (Obr.18.) zapojte obvod a změřte vstupní charakteristiku hradla NAND.

POSTUP:

- na zdroji stejnosměrného napětí DC zvyšujte hodnotu napětí od -2 do 2V. Na voltmetru V odečítejte a zapisujte hodnoty vstupního napětí a na ampérmetru A hodnoty vstupního proudu. Porovnáním těchto hodnot dostanete vstupní charakteristiku.
- nejvíce měření provádějte v rozmezí vstupního napětí od -2 do 0V.

- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)



Obr. 18. Měření vstupní charakter. NAND

3) Změřte výstupní charakteristiku hradla NAND

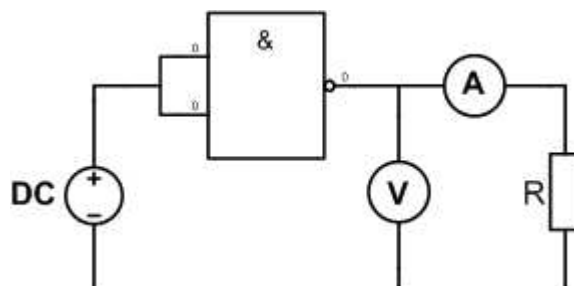
a) Poznamenejte si používané součástky a přístroje.

b) Na základě schématu (Obr.19.) zapojte obvod a změřte výstupní charakteristiku hradla NAND.

POSTUP:

- na zdroji stejnosměrného napětí DC zvyšujte hodnotu napětí od 0 do 5V dejte pozor aby jste nepřesáhli hodnotu výstupního proudu $I=20\text{mA}$. Na voltmetru V odečítejte a zapisujte hodnoty výstupního napětí a na ampérmetru A hodnoty výstupního proudu. Porovnáním těchto hodnot dostanete výstupní charakteristiku.

- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)



Obr. 19. Měření výstupní charakter. NAND

4) Ověřte typ logické funkce

a) Poznamenejte si používané součástky a přístroje.

b) Na základě schématu (Obr. 20.) zapojte obvod a zjistěte jeho funkci

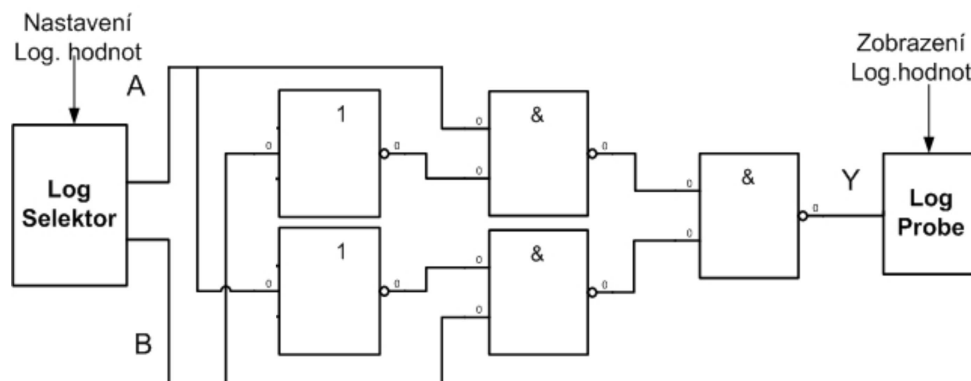
POSTUP:

- jako zdroj logických hodnot A, B použijte výstupy Log selektoru A₀, A₁. Výstup Y připojte na vstup zobrazovače (Log probe A₀), viz. Obr.18.

- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)

- volbu vstupních hodnot A, B provádějte pomocí tlačítek Log selektoru. V závislosti na jejich kombinaci se bude měnit hodnota výstupu Y zobrazená na zobrazovači „Log probe“.

- - kombinace vstupů a výstupu si poznamenávejte do tabulky, podle které najdete jí odpovídající logickou funkci.



Obr. 20. Schéma neznáme logické funkce

5) Navrhněte a realizujte hradlové obvody podle zadání

Obvod 1. má:

2 vstupy pro dvojkové údaje (A₀, A₁), dva řídicí vstupy (C₀, C₁) a výstup Y . Výstup bude nabývat těchto hodnot:

- C₀ , C₁ rovny 0, je výstup 0
- C₀=1 a C₁=0, je výstup roven A₀
- C₀=0 a C₁=1, je výstup roven A₁
- C₀=1 a C₁=1, je výstup roven negaci A₀

Obvod 2. má:

2 vstupy pro dvojkové údaje (A₀, A₁) a dva řídicí vstupy (C₀, C₁) a výstup Y. Výstup bude nabývat těchto hodnot:

- C₀ = 1 a C₁ = 1 je výstup roven negaci A₁
- C₀ = 0 a C₁ = 1 je výstup 1
- C₀ = 1 a C₁ = 0 je výstup 0
- oba řídicí vstupy 0 je výstup 0

- a) Poznamenejte si používané součástky a přístroje.
- b) Na základě zadání obvodu 1 a 2 navrhnete a realizujete tyto obvody

POSTUP:

- nejprve si podle zadaných údajů sestrojte pravdivostní tabulku. Na základě pravdivostní tabulky sestrojte Karnaughovu mapu a z ní vytvořte logickou rovnici pro výstupní funkci Y.
- Získanou log. rovnici pak dále zjednodušte pomocí Logické algebry nebo De Morganových zákonů. Na základě takto získané rovnice navrhnete schéma zapojení, zapojte jej a ověřte jeho funkčnost.
- jako zdroj logických hodnot A_0 , A_1 a C_0 , C_1 použijte výstupy Log selektoru $A_0 - A_3$. Výstup Y připojte na vstup zobrazovače (Log probe A_0), viz. Obr. 20.
- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)
- volbu vstupních hodnot A_0 , A_1 a C_0 , C_1 provádějte pomocí tlačítek Log selektoru na základě pravdivostní tabulky a výstup Y zobrazený na zobrazovači „Log probe“ porovnávejte s výstupem v pravdivostní tabulce.

2.5 A/D převodník

2.5.1 Úkol měření:

1. Seznamte se s principem analogově – číslicového komparačního převodníku.
2. Navrhněte a realizujte 2 - bitový A/D převodník. Při řešení postupujte podle těchto kroků:
 - Zapojení kvantovacích komparátorů
 - Úprava výstupního napětí komparátorů pro TTL obvody
 - Kódování upraveného výstupního napětí na logické hodnoty
3. Vypracujte protokol o měření.

2.5.2 Použité přístroje:

Stejnoseměrný zdroj:	2x Programmable DC supply RC
Zobrazovač hodnot:	Log probe RC
Hradla:	7400 (4x NAND) 7486 (4x XOR) 7408 (4x AND)
Rezistor:	1k Ω , 2k Ω , 5k Ω , 10k Ω (ve schématu jako R)
Multimetr:	METEX M386OD (použití jako voltmetr V)
Dioda	3x D
Operační zesilovač:	3x Operational Amplifier OZ

2.5.3 Teorie:

A/D převodníky převádějí spojitý napěťový nebo proudový elektrický signál do binárního tvaru D. Známý jsou tři základní typy převodníků tohoto typu a sice: kompenzační, s dvojitou integrací a paralelní.

Paralelní A/D převodník

Je nejrychlejší a současně principiálně nejjednodušším typem přímého A/D převodníku. V praxi dosahují tyto převodníky řádově 10^7 až 10^9 převodů za sekundu, což je předurčeno

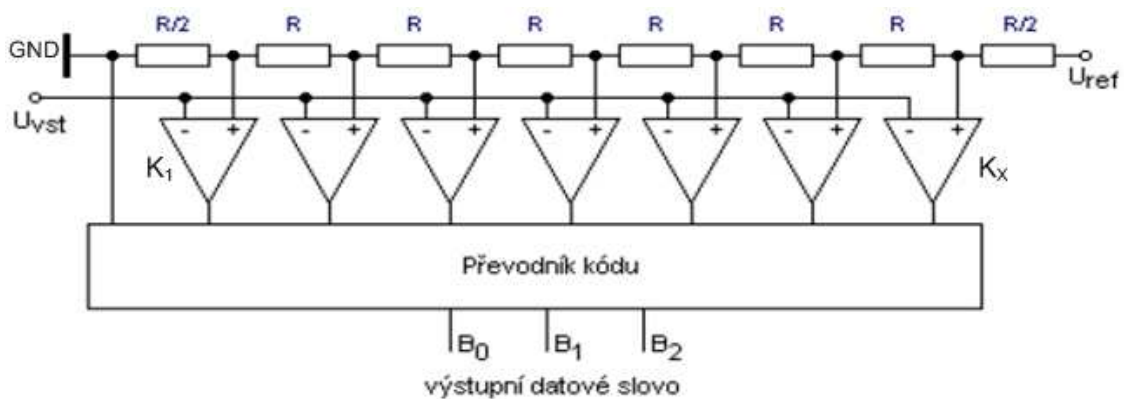
je k použití pro digitalizaci obrazu , číslicové osciloskopy , analyzátory signálu a další oblasti s vysokými nároky na rychlost digitalizace. Jsou vyráběny s rozlišením 6 , 8 a 10 bitů.

Nevýhodou těchto převodníků je vyšší cena způsobená složitým obvodovým řešením s vysokým počtem 2^{n-1} komparátorů (např. 8-bitový AČP vyžaduje použití 255 komparátorů). Pokud chceme zvětšit výstup převodníku o jeden bit , musíme použít v obvodu dvojnásobný počet komparátorů.

Mezi svorku referenčního napětí U_{ref} a společný vodič (GND) je zapojen odporový dělič, který vytváří napěťové úrovně odpovídající vahám dvojkového čísla.

Na vstupy komparátorů je přivedeno jednak napětí měřené – U_{vst} , jednak příslušná komparační úroveň podle váhy dvojkového čísla.

Pro $U_{vst} = 0$, je na všech výstupech komparátorů napětí = 0 V. Při zvětšování U_{vst} se postupně překlápí K_1 až K_x a na jejich výstupech se objevují postupně logické 1. Pro $U_{vst} = U_{vst_max}$ je log. 1 na všech výstupech. Dekodér pak převádí vstupní binární údaje do požadovaného kódu (BCD a pod.). Délka převodu je dána dobou přeběhu komparátorů z jedné krajní úrovně do druhé a časem pro zpracování dat dekodérem.



Obr. 21. 3bitový paralelní AD převodník

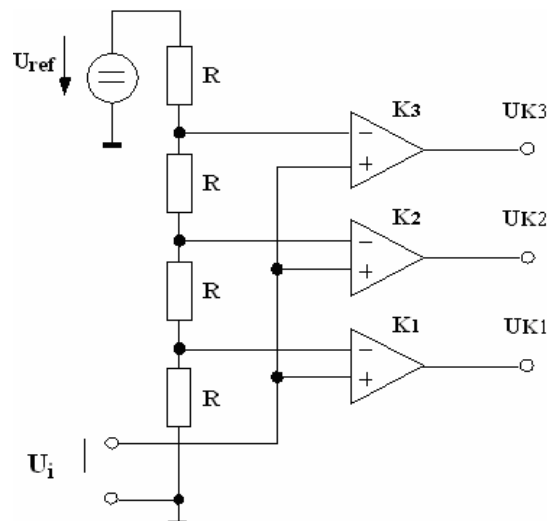
2.5.4 Zadání:

1) Zapojení kvantování pomocí komparátorů

- Poznamenejte si používané součástky a přístroje.
- Na základě schématu (Obr.22.) zapojte obvod a doplňte tabulku

POSTUP:

- jako zdroj vstupního napětí U_i a referenčního napětí U_{ref} použijte stejnosměrný zdroj DC. Referenční napětí nastavte na hodnotu $U_{ref} = 10V$. Pokud máte k dispozici jen jeden zdroj stejnosměrného napětí DC použijte jej jako vstupní napětí U_i a jako referenční napětí U_{ref} použijte napájení 5V ze základní desky sestavy RC200 (module board)
- odpory R zapojte tak, že odpor, který je ve schématu nahoře bude mít nejvyšší hodnotu a odpor, který je dole nejnižší hodnotu
- pro použité součástky použijte napájení 5V ze základní desky sestavy RC2000 (module board)
- doplňte tabulku výstupních napětí komparátoru (Tab.18) tak, že pro každý komparátor budete měřit 4 výstupní napětí U_{kx} v závislosti na vstupním napětí U_i . Voltmetr připojte na výstup komparátoru U_{kx} a zem GND. Napětí U_i volte v rozmezí, které vám vyjde v tabulce ve sloupci **stav**.



Obr 22. Kvantování pomocí komparátorů

Tab. 18. Výstupní napětí komparátorů bez úpravy

stav	U_{k1}	U_{k2}	U_{k3}
$0 < U_I < U_{ref}/4$			
$U_{ref}/4 < U_I < U_{ref}/2$			
$U_{ref}/2 < U_I < 3U_{ref}/4$			
$3U_{ref}/4 < U_I < U_{ref}$			

2) Úprava výstupního napětí komparátorů pro TTL

a) Poznamenejte si používané součástky a přístroje.

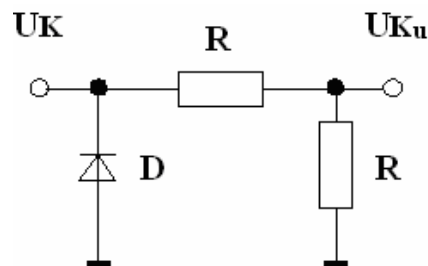
b) Pomocí schématu (Obr. 23.) upravte výstupní hodnoty komparátorů pro TTL obvody

POSTUP:

- schéma (Obr. 23.) použijte pro úpravu výstupního napětí komparátorů tak, že vstupy U_K připojíte k výstupům komparátorů U_{kx} z předchozího zapojení (viz Obr. 25).

- odpory R volte tak aby v každém zapojení byl na stejné pozici odpor se stejnou hodnotou

- doplňte tabulku výstupních napětí komparátoru (Tab.19) tak, že pro každý komparátor budete měřit 4 výstupní napětí U_{ku} v závislosti na vstupním napětí U_i . Voltmetr připojte na výstup upraveného napětí U_{ku} a zem GND. Napětí U_i volte v rozmezí, které vám vyjde v tabulce ve sloupci **stav**.



Obr. 23. Úprava napětí pro TTL

Tab. 19. Výstupní napětí komparátorů upravená pro TTL

stav	U_{k1u}	U_{k2u}	U_{k3u}
$0 < U_I < U_{ref}/4$			
$U_{ref}/4 < U_I < U_{ref}/2$			
$U_{ref}/2 < U_I < 3U_{ref}/4$			
$3U_{ref}/4 < U_I < U_{ref}$			

3) Kódování na logické hodnoty

a) Poznamenejte si používané součástky a přístroje.

b) Pomocí schématu (Obr.24.) převed'te upravené výstupní hodnoty napětí komparátorů na logické hodnoty, doplňte tabulku a naměřte převodní charakteristiku AD převodníku.

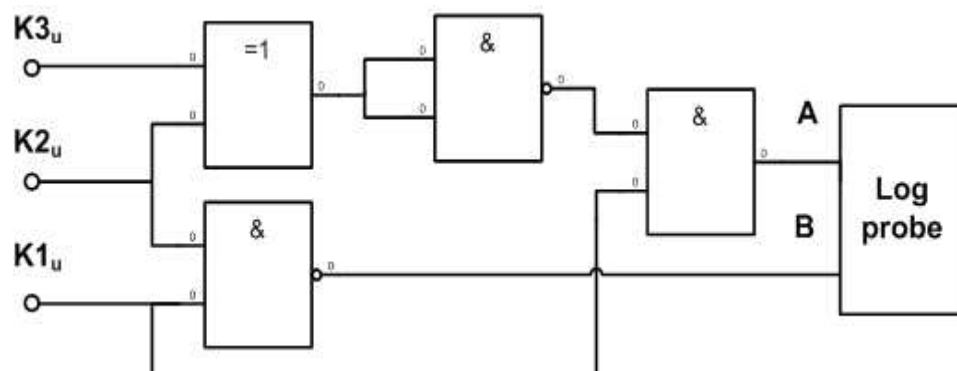
POSTUP:

- schéma kódování (Obr.24.) připojte k zapojení z předchozího příkladu na výstupy upraveného výstupního napětí na TTL (viz. Obr. 25).

- změření převodní charakteristiky AD převodníku provádějte zvyšováním hodnot vstupního napětí U_i od 0 do 10V po desetínách napětí. Vytvořte převodní tabulku (Tab. 20.) do které budete zapisovat hodnoty vstupního napětí U_i při kterých dojde ke změně logických hodnot A, B zobrazovaných na zobrazovači „Log probe“. V protokolu pak z této tabulky vytvořte i graf převodní charakteristiky AD převodníku.

- podle postupného překlápění komparátorů K_1 - K_3 doplňte tabulku hodnot pro kódování (Tab. 21.) logickými hodnotami. Postup překlápění komparátoru poznáte podle již naměřených hodnot v tabulce: Výstupní napětí komparátorů bez úpravy (Tab. 18.) z prvního zapojení nebo Výstupní napětí komparátorů upravená pro TTL (Tab. 19.) z druhého zapojení.

c) Zavolejte vyučujícího ke kontrole



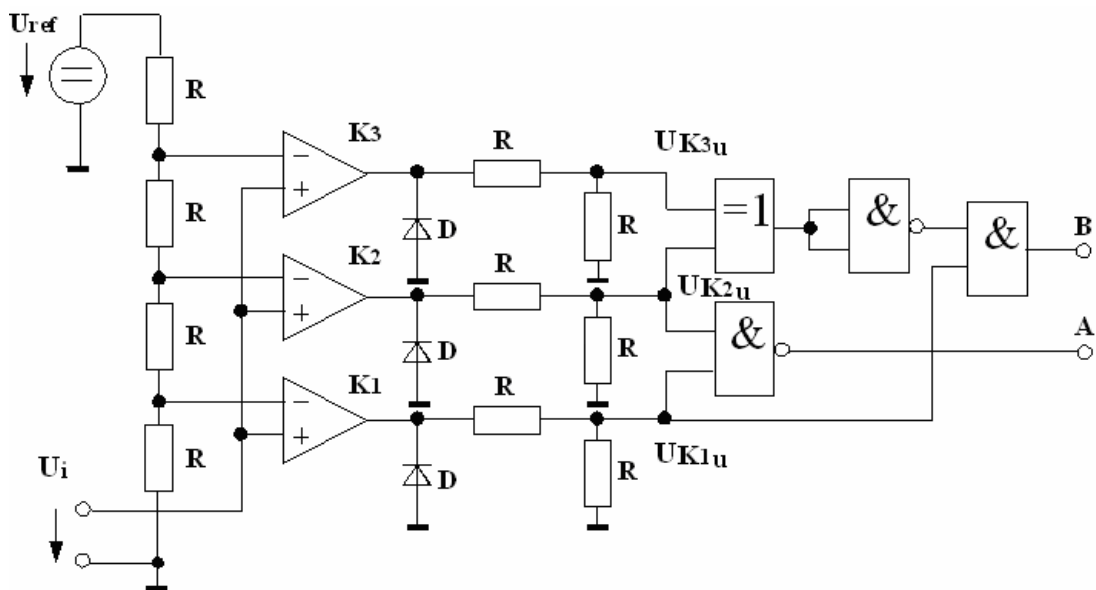
Obr. 24. Kódování výstupů komparátorů na logické hodnoty

Tab. 20. Převodní charakter. převodníku

Analogový vstup převodníku	Číslicový vý- stup převodní- ku	
	A	B
U_1		

Tab. 21. Tabulka hodnot pro kódování

Vstupy			Výstupy	
K_1	K_2	K_3	A	B
0	0	0		
1	0	0		
1	1	0		
1	1	1		



Obr. 25. Celkové schéma zapojení AD převodníku

II. PRAKTICKÁ ČÁST

3 VYPRACOVANÉ VZOROVÉ PROTOKOLY

3.1 Binární sčítačka

UTB VE ZLÍNĚ, FAKULTA APLIKOVANÉ INFORMATIKY			
Jméno:	Radim Vymětal	Ročník:	III.
Předmět:	Mikroelektronika	Skupina:	12
Název úlohy:	Binární sčítačka	Naměřeno:	19.3.2006
Číslo úlohy:	1	Odevzdáno:	
		Hodnocení:	

3.1.1 Úkol měření:

- Navrhněte a realizujte 3-bitovou sčítačku. Pro řešení využijte dílčích kroků:
 - pomocí pravdivostní tabulky navrhněte a realizujte polosčítačku
 - pomocí pravdivostní tabulky navrhněte a realizujte úplnou sčítačku
 - propojte polosčítačku a úplnou sčítačku navzájem
 - Vše realizujte jen prvky NAND, OR, XOR
- Ověřte funkčnost sčítačky: např. $3_{10}+3_{10}=6_{10}$ ($011_2+011_2=110_2$)
- Vypracujte protokol o měření

3.1.2 Použité přístroje:

Zdroj vstupních hodnot:	Log selektor RC
Zobrazovač hodnot:	Log probe RC
Hradla:	2x 7400 (4x NAND)
	7486 (4x XOR)
	2x 7432 (4x OR)
	2x 7408 (4x AND)

3.1.3 Polosčítačka

Použijte rovnice a schéma polosčítačky, které jste měly za domácí přípravu a ověřte si jeho funkčnost.

Tab. 22. Pravdivostní tabulka polosčítačky

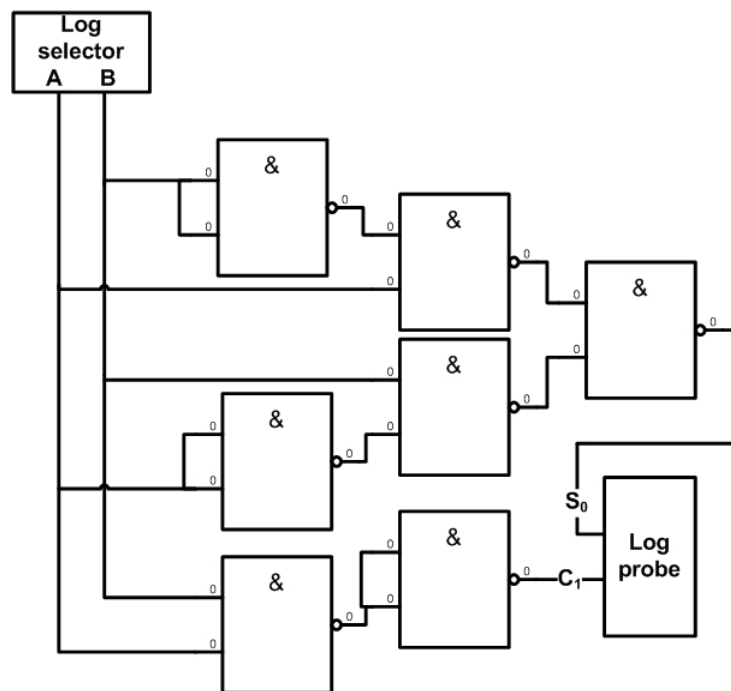
A_0	B_0	S_0	C_1
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Výsledné rovnice vypočítané z pravdivostní tabulky a upravené De_Morganovými zákony:

$$S_0 = \overline{\overline{A_0} * B_0 + A_0 * \overline{B_0}} = \overline{\overline{A_0} * B_0} * \overline{A_0 * \overline{B_0}}$$

$$C_1 = A_0 * B_0$$

Schéma polosčítačky navržené podle předchozích rovnic:



Obr. 26. Schéma polosčítačky

3.1.4 Úplná sčítačka

Poznamenejte si používané součástky a přístroje.

Opět použijte schéma z domácí přípravy a ověřte jeho funkčnost, případně jej opravte.

Tab. 23. Pravdivostní tabulka úplné sčítačky

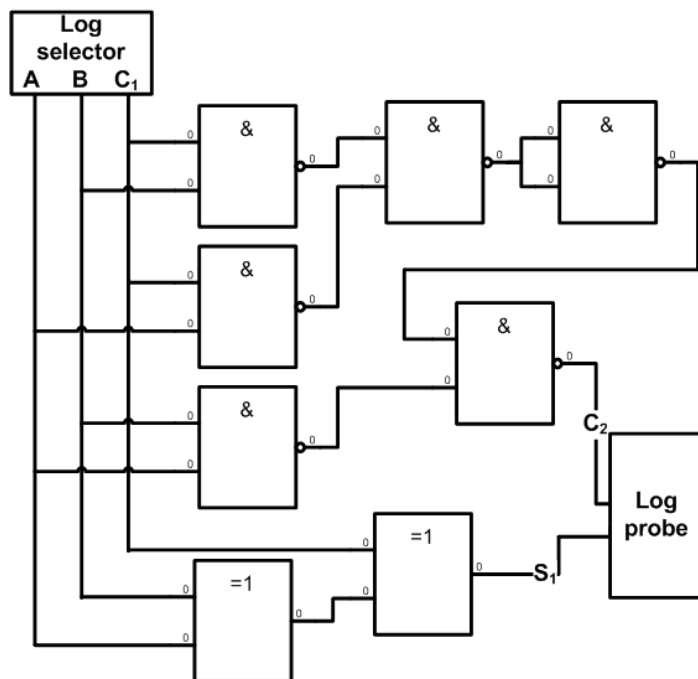
A_1	B_1	C_1	S_1	C_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Výsledné rovnice vypočítané z pravdivostní tabulky pomocí Karnaughových map a upravené De_Morganovými zákony:

$$S_1 = \overline{A_1} * \overline{B_1} * C_1 + \overline{A_1} * B_1 * \overline{C_1} + A_1 * \overline{B_1} * \overline{C_1} + A_1 * B_1 * C_1 = \overline{A_1} * (\overline{B_1} * C_1 + B_1 * \overline{C_1}) + A_1 * (\overline{B_1} * \overline{C_1} + B_1 * C_1) = \overline{A_1} * (B_1 \oplus C_1) + A_1 * (\overline{B_1} \oplus \overline{C_1}) = A_1 \oplus B_1 \oplus C_1$$

$$C_2 = A_1 * B_1 + B_1 * C_1 + A_1 * C_1 = \overline{\overline{A_1 * B_1 + B_1 * C_1 + A_1 * C_1}} = \overline{\overline{A_1 * B_1} * \overline{B_1 * C_1} * \overline{A_1 * C_1}} = \overline{\overline{A_1} * \overline{B_1} * \overline{B_1} * \overline{C_1} * \overline{A_1} * \overline{C_1}} = \overline{\overline{A_1} * \overline{B_1} * \overline{B_1} * \overline{C_1} * \overline{A_1} * \overline{C_1}} = A_1 * B_1 * B_1 * C_1 * A_1 * C_1$$

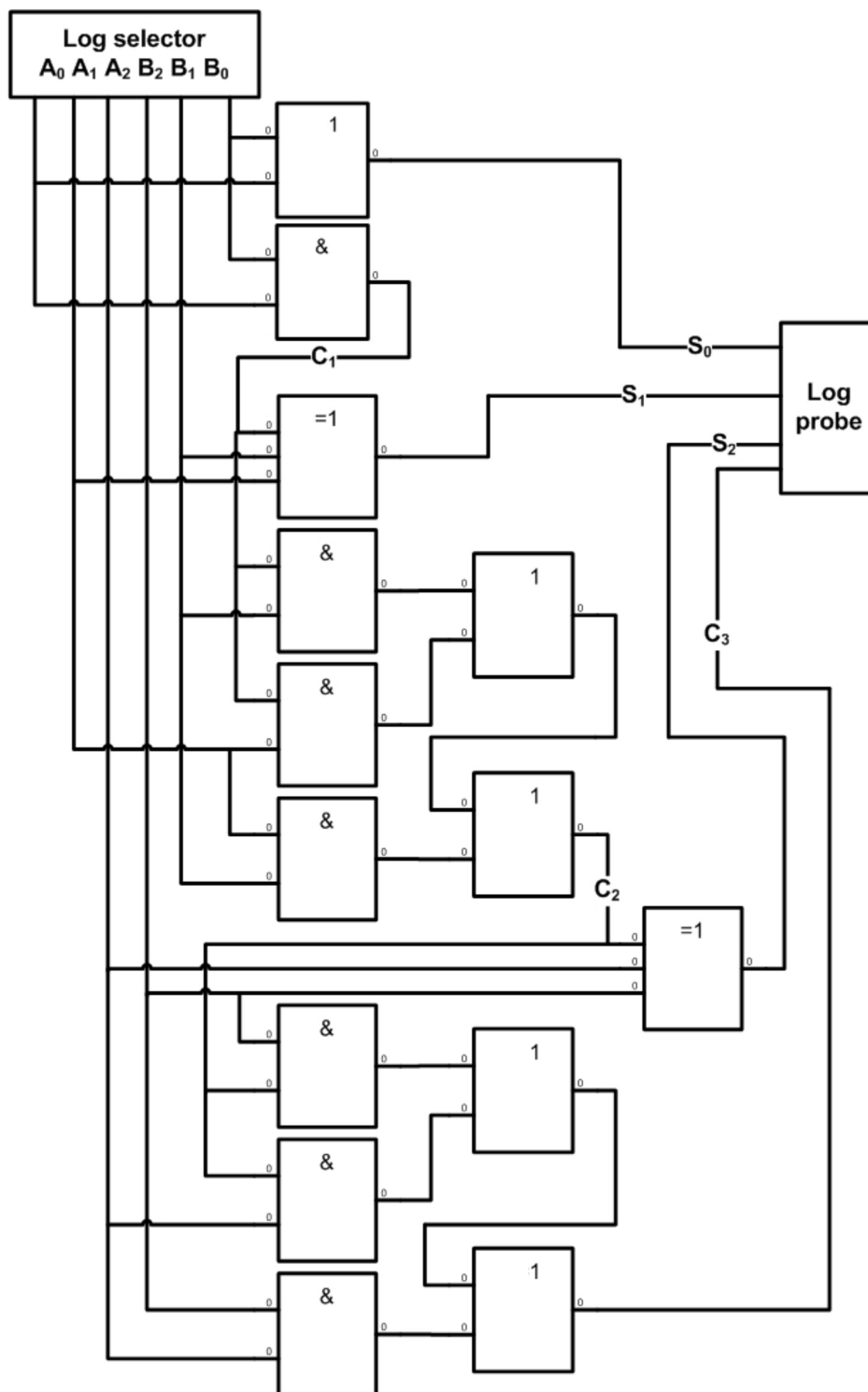
Schéma úplné sčítačky vytvořené podle vypočítaných rovnic:



Obr. 27. Schéma úplné sčítačky

3.1.5 3-bitová sčítačka

Navrhnete schéma 3-bitové sčítačky a pokud budete mít dostatek času zapojte jej a ověřte si jeho funkčnost (kombinace polosčítačky a dvou úplných sčítaček). Zde již můžete použít jakákoliv hradla, která máte k dispozici.



Obr. 28. Schéma 3bitové sčítačky

3.1.6 Závěr:

V první části jsem vytvořil rovnice přímo z pravdivostní tabulky a pomocí De Morganových zákonů je převedl tak by je bylo možno sestrojít jen použitím hradel NAND.

V druhé části jsem opět vytvořil rovnice a převedl na použití hradel NAND a XOR. Poté jsem podle nich sestrojil schéma a zapojil.

V třetí části jsem propojil polosčítačku a dvě úplné sčítačky abych vytvořil 3-bitovou sčítačku. Aby schéma nebylo zbytečně složité a dobře bylo vidět jeho funkčnost, použil jsem prvky AND, OR a XOR. Dále jsem ve schématu zapojení pro přehlednost použil členy XOR se 3 vstupy, ale ve skutečnosti jsem používal členy jen se 2 vstupy.

Všechny zapojení se mi povedly bez obtíží zapojit se správnou funkčností.

3.2 Kodéry a rekodéry

UTB VE ZLÍNĚ, FAKULTA APLIKOVANÉ INFORMATIKY			
Jméno:	Radim Vymětal	Ročník:	III.
Předmět:	Mikroelektronika	Skupina:	12
Název úlohy:	Kodéry a dekodéry	Naměřeno:	19.4.2006
Číslo úlohy:	2	Odevzdáno:	
		Hodnocení:	

3.2.1 Úkol měření

7. Navrhněte a realizujte rekodér z kódu BCD na kód 2421 a ověřte jeho funkčnost
8. Navrhněte a realizujte rekodér z kódu 2421 na kód BCD a ověřte jeho funkčnost
9. Navrhněte a realizujte rekodér z kódu BCD na Grayův kód a ověřte jeho funkčnost
10. Navrhněte a realizujte rekodér z Grayova kódu na kód BCD a ověřte jeho funkčnost
11. Ověřte činnost dekodéru 7447 s otevřených kolektorem pro sedmissegmentový displej
 - vytvořte pravdivostní tabulku
 - navrhněte schéma tak, aby na výstupu byly stavy 0 a 1
12. Vypracujte protokol o měření

3.2.2 Použité přístroje:

Zdroj vstupních hodnot: Log selektor RC

Zobrazovač hodnot: Log probe RC

Hradla: 7404 (6x NOT)

7400 (4x NAND)

7402 (4x NOR)

3.2.3 Navrhňte a realizujte rekodér z kódu BCD na 2421 a ověřte jeho funkčnost

Tab. 24. Pravdivostní tabulka BCD na 2421

	BCD 8421				2421			
	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

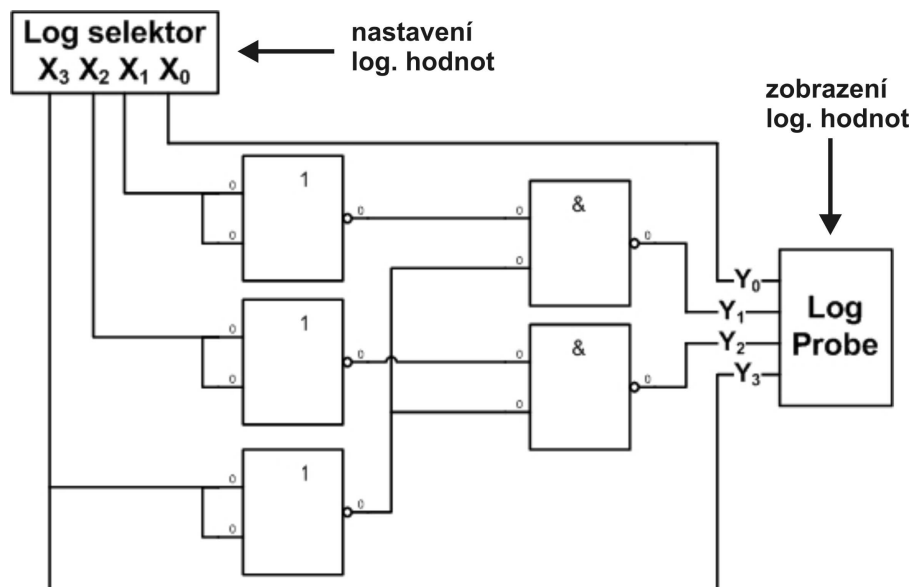
Rovnice vytvořené přímo z pravdivostní tabulky a podle nich navržené schéma zapojení:

$$Y_0 = X_0$$

$$Y_1 = X_1 * \overline{X_3}$$

$$Y_2 = X_2 + X_3$$

$$Y_3 = X_3$$



Obr. 29. Schéma zapojení rekodéru BCD na 2421

3.2.4 Navrhňte a realizujte rekodér z kódu 2421 na BCD a ověřte jeho funkčnost

Tab. 25. Pravdivostní tabulka 2421 na BCD

	2421				BCD 8421			
	Y ₃	Y ₂	Y ₁	Y ₀	X ₃	X ₂	X ₁	X ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	1	1	0	1	0	0	0
9	1	1	1	1	1	0	0	1

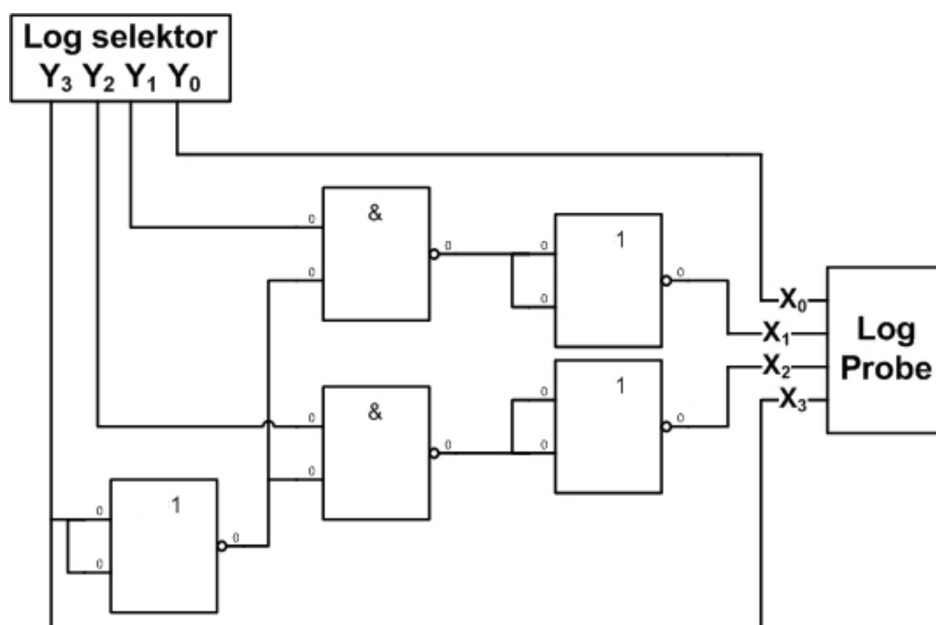
Rovnice vytvořené přímo z pravdivostní tabulky a podle nich navržené schéma zapojení:

$$X_0 = Y_0$$

$$X_1 = Y_1 * \overline{Y_3}$$

$$X_2 = Y_2 * \overline{Y_3}$$

$$X_3 = Y_3$$



Obr. 30. Schéma zapojení rekodéru 2421 na BCD

3.2.5 Navrhněte a realizujte rekodér z kódu BCD na Grayův kód a ověřte jeho funkčnost

Tab. 26. Pravdivostní tabulka BCD na Grayův

	BCD 8421				Gray			
	X ₃	X ₂	X ₁	X ₀	Z ₃	Z ₂	Z ₁	Z ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1

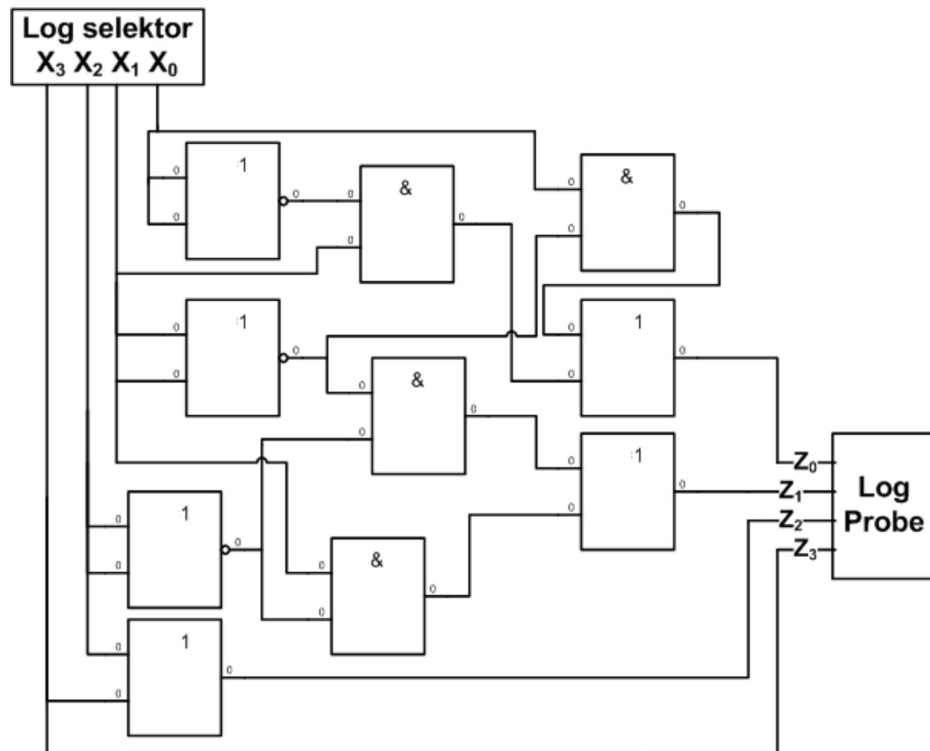
Rovnice vytvořené přímo z pravdivostní tabulky a pomocí Karnaughových map. Podle nich pak následně navržené schéma zapojení

$$Z_0 = X_1 * \overline{X_0} + \overline{X_1} * X_0$$

$$Z_1 = X_1 * \overline{X_2} + \overline{X_1} * X_2$$

$$Z_2 = X_2 + X_3$$

$$Z_3 = X_3$$



Obr. 31. Schéma zapojení BCD na Gray

3.2.6 Navrhňte a realizujte rekodér z Grayova kódu na kód BCD a ověřte jeho funkčnost

Tab. 27. Pravdivostní tabulka Gray na BCD

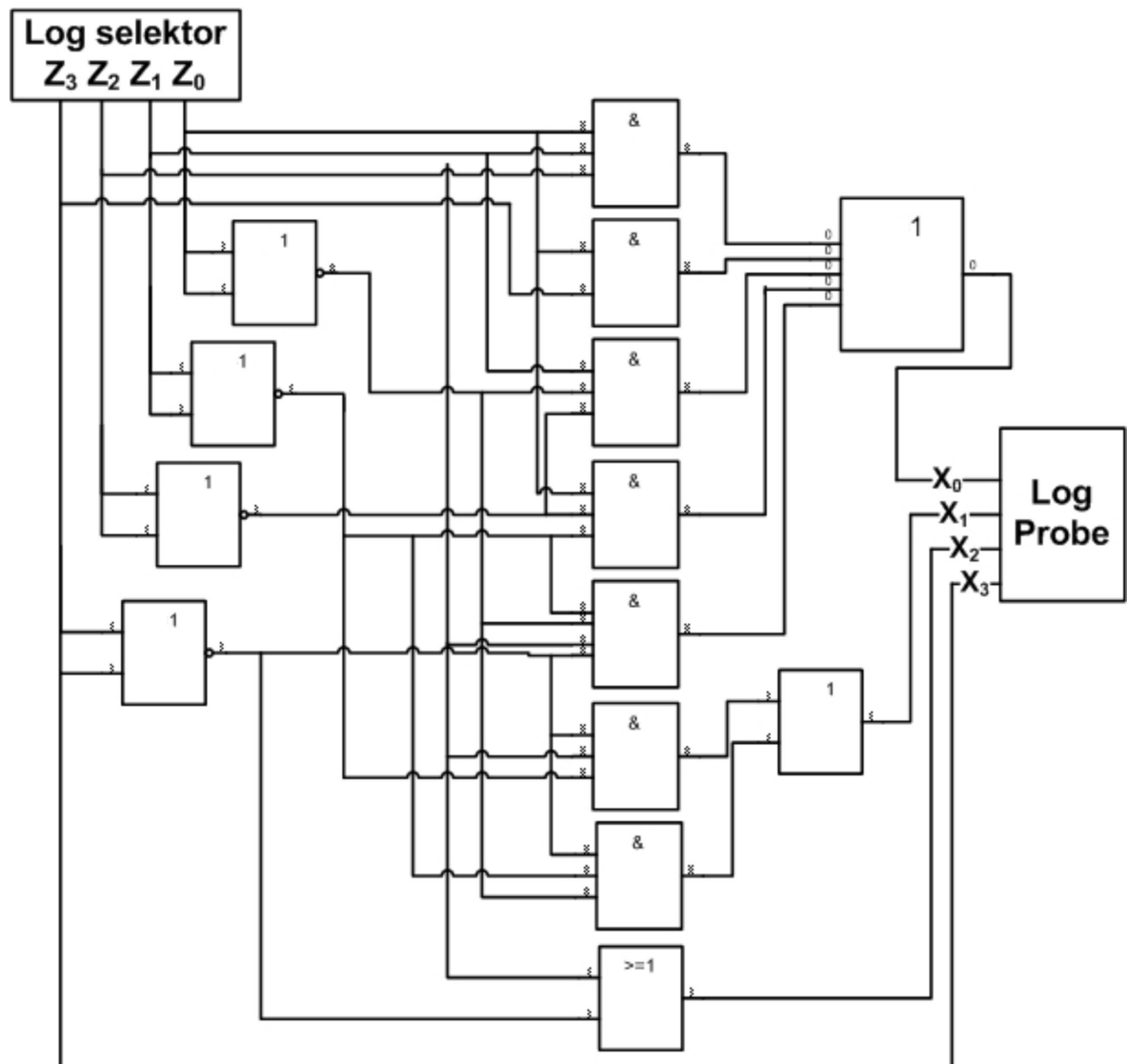
	Gray				BCD 8421			
	Z ₃	Z ₂	Z ₁	Z ₀	X ₃	X ₂	X ₁	X ₀
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1

$$X_0 = Z_0 * Z_1 * Z_2 + \overline{Z_0} * \overline{Z_1} * \overline{Z_2} + Z_0 * Z_3 + Z_0 + \overline{Z_1} * \overline{Z_2} + \overline{Z_0} + \overline{Z_1} * Z_2 * \overline{Z_3}$$

$$X_1 = Z_1 * \overline{Z_2} * \overline{Z_3} + \overline{Z_1} * Z_2 * \overline{Z_3}$$

$$X_2 = Z_2 + \overline{Z_3}$$

$$X_3 = Z_3$$



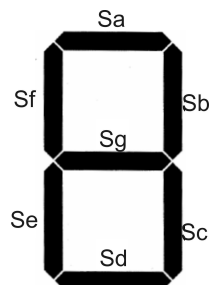
Obr. 32. Schéma zapojení Gray na BCD

3.2.7 Ověřte činnost dekodéru 7447 s otevřených kolektorem pro sedmissegmentový displej

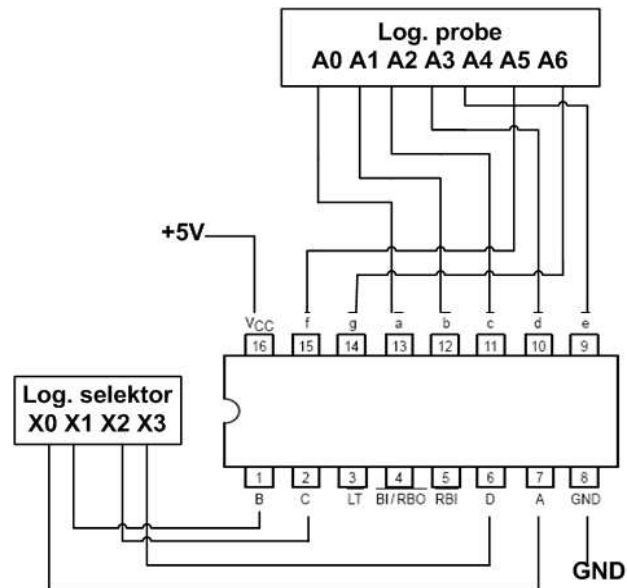
Tab. 28. Vyplněná pravdivostní tabulka sedmissegmentového displeje

čís- lo	BCD				Výstupní hodnoty segmentů						
	X ₃	X ₂	X ₁	X ₀	S _a	S _b	S _c	S _d	S _e	S _f	S _g
0	0	0	0	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0	0	0	1	1
2	0	0	1	0	0	1	1	1	1	1	0
3	0	0	1	1	0	0	1	1	1	1	1
4	0	1	0	0	1	0	0	1	0	1	1
5	0	1	0	1	1	0	1	1	1	0	1
6	0	1	1	0	1	1	1	1	1	0	1
7	0	1	1	1	0	0	1	0	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	0	1	1	1	1	1

Doplnil jsem hodnoty do pravdivostní tabulky a podle ní potom ověřil funkci dekodéru 7447 zapojeného podle návodu.



Obr. 33. Displej



Obr. 34. Schéma zapojení dekodéru 7447

3.2.8 Závěr

Při převádění BCD kódu na kód 2421 a opačně jsem vytvořil logické rovnice přímo z tabulky. Navržené schéma podle těchto rovnic bylo funkční.

Pro převádění BCD kódu na Grayův kód a opačně jsem použil pro některé funkce vytváření rovnic přímo z tabulky a pro ostatní Karnaughovy mapy. Rovnice vzniklé z Karnaughových map jsem pak ještě upravil pomocí Booleovy algebry. Navržené schéma podle vzniklých rovnic fungovalo správně.

K ověření činnosti dekodéru 7447 jsem nejprve vytvořil pravdivostní tabulku sedmisegmentového displeje, podle které jsem poté kontroloval jeho činnost.

3.3 Čítače

UTB VE ZLÍNĚ, FAKULTA APLIKOVANÉ INFORMATIKY			
Jméno:	Radim Vymětal	Ročník:	III.
Předmět:	Mikroelektronika	Skupina:	12
Název úlohy:	Čítače	Naměřeno:	19.4.2006
Číslo úlohy:	3	Odevzdáno:	
		Hodnocení:	

3.3.1 Úkol měření:

6. Zapište si použité přístroje
7. Ověřte časový diagram asynchronního binárního čítače 7493
8. Ověřte zkrácení početního cyklu čítače 7493
9. Zapojte binární čítač ve funkci děliče 8 a navrhnete tabulku, podle které půjde zapojovat čítač ve funkci děliče 2,3,...15
10. Vypracujte protokol o měření

3.3.2 Použité přístroje:

Zobrazovač hodnot:	Log probe RC
Hradla:	7493 (čítač)
Generátor pulsů:	Time base RC
Propojení s PC:	Analog & Digital Data Unit RC
Program na kontrolu logických zapojení :	RC 2000 Logic Analyzer

3.3.3 Ověřte časový diagram asynchronního binárního čítače 7493

Zapojil jsem obvod podle zadaného schéma a podle jeho funkčnosti doplnil tabulku funkční tabulku čítače.

Tab. 29. Doplněná funkční tabulka čítače 1

h-i	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

3.3.4 Ověřte zkrácení početního cyklu čítače 7493 (bez řídicího vstupu) – čítač do 12

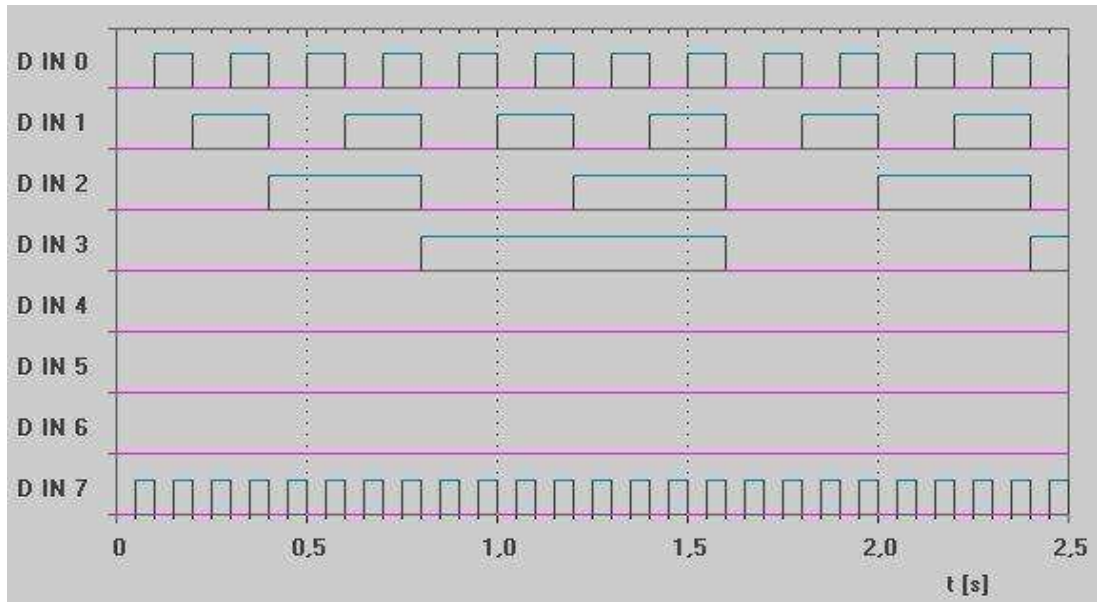
Zapojil jsem čítač ve zkráceném početním cyklu podle přiloženého schéma a podle jeho funkčnosti doplnil jeho funkční tabulku.

Tab. 30. Doplněná funkční tabulka čítače 2

h-i	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	0	0	0	0
D	0	0	0	1
E	0	0	1	0
F	0	0	1	1

3.3.5 Zapojte binární čítač ve funkci děliče 8 a navrhňte tabulku, podle které půjde zapojovat čítač ve funkci děliče 2,3,...15

- a) Podle přiloženého schématu jsem zapojil čítač ve funkci modulo 8 a jeho funkčnost ověřil pomocí programu RC 2000.



Obr. 35. Graf funkce modulo 8

- b) Vypracoval jsem tabulku pro děliče 2, 3....15. V tabulce jsou uvedeny závislosti resetovacích vstup MR_1 , MR_2 na výstupech čítače Q_0 - Q_3 .

Tab. 31. Doplněná tabulka čítače ve funkci děliče

modulo	MR_1	MR_2
2	Q_1	
3	Q_1	Q_0
4	Q_2	
5	Q_2	Q_0
6	Q_2	Q_1
7	Q_2	Q_1Q_0
8	Q_3	
9	Q_3	Q_0
10	Q_3	Q_1
11	Q_3	Q_1Q_0
12	Q_2	Q_3
13	Q_3	Q_2Q_0
14	Q_3	Q_2Q_1
15	Q_3	$Q_2Q_1Q_0$

3.3.6 Závěr

V první úloze jsem pomocí soustavy RC ověřil funkci asynchronního binárního čítače 7493 a doplnil jsem binární stavy do tabulky. Z ní si jde pak lehce představit časový diagram.

Ve druhém úkolu jsem binární asynchronní čítač 7493 zapojil tak, aby se při načtení hodnoty 12 zresetoval a začal čítat znovu od nuly. Toho jsem dosáhl přivedením výstupů Q3 a Q2 na resetovací vstupy MR1 a MR2.

Ve třetím úkolu jsem zapojil čítač ve funkci děliče osmi a ověřil jeho činnost programem RC 2000. Poté jsem sestavil pravdivostní tabulku pro děliče 2,3,4...15. Náš případ, dělič 8, je vidět na grafu. Po osmém čítacím pulzu se na výstupu Q3 objeví změna impulzu.

3.4 Logické obvody

UTB VE ZLÍNĚ, FAKULTA APLIKOVANÉ INFORMATIKY			
Jméno:	Radim Vymětal	Ročník:	III.
Předmět:	Mikroelektronika	Skupina:	12
Název úlohy:	Logické obvody	Naměřeno:	19.4.2006
Číslo úlohy:	4	Odevzdáno:	
		Hodnocení:	

3.4.1 Úkol měření:

1. Na hradle NAND změřte tyto charakteristiky:

- Převodní charakteristiku
- Vstupní charakteristiku
- Výstupní charakteristiku
- Jednotlivá zapojení nakreslete do protokolu a vynesete k nim naměřené závislosti

2. Ověřte typ logické funkce zobrazené v zadání na Obr.XX a v katalogu najděte její integrovanou verzi.

3. Navrhněte a realizujte hradlové obvody podle zadání

4. Vypracujte protokol o měření

3.4.2 Použité přístroje:

Stejnoseměrný zdroj: Programmable DC supply RC

Zdroj vstupních hodnot: Log selektor

Zobrazovač hodnot: Log probe

Hradla: 7400 (4x NAND)

Proměnný rezistor: RS dekáda Ω

RS dekáda $k\Omega$

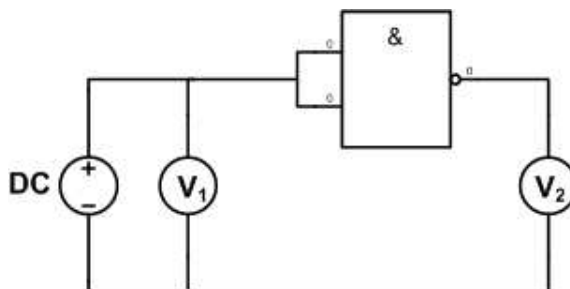
Multimetr: METEX M386OD (použití jako voltmetr V)

METEX M389OD (použití jako voltmetr V nebo ampérmetr A)

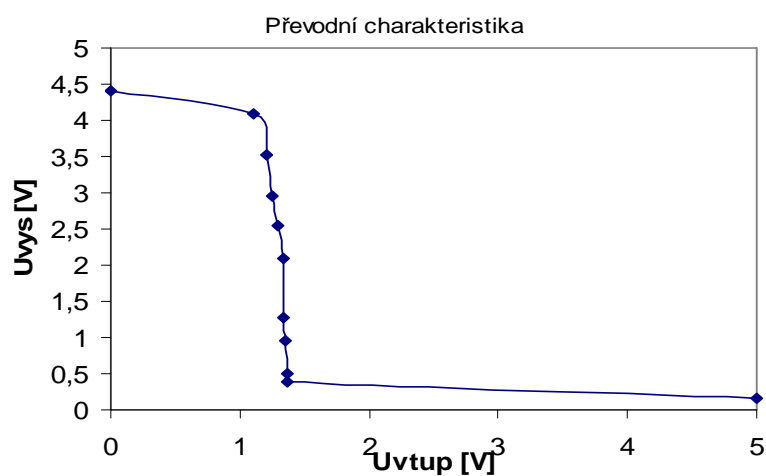
3.4.3 Převodní charakteristika hradla NAND

Tab. 32. Převodní char. NAND

U _{vst} [V]	U _{vys} [V]
0	,4
1,1	4,09
1,201	3,52
1,25	2,95
1,29	2,55
1,34	2,08
1,342	1,27
1,35	0,96
1,36	0,51
1,37	0,38
5	0,158



Obr. 36. Měření převod. char. NAND

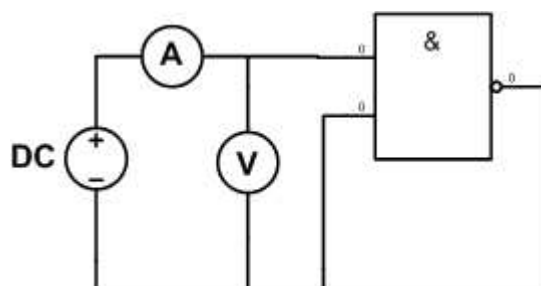


Obr. 37. Graf převodní charakteristiky NAND

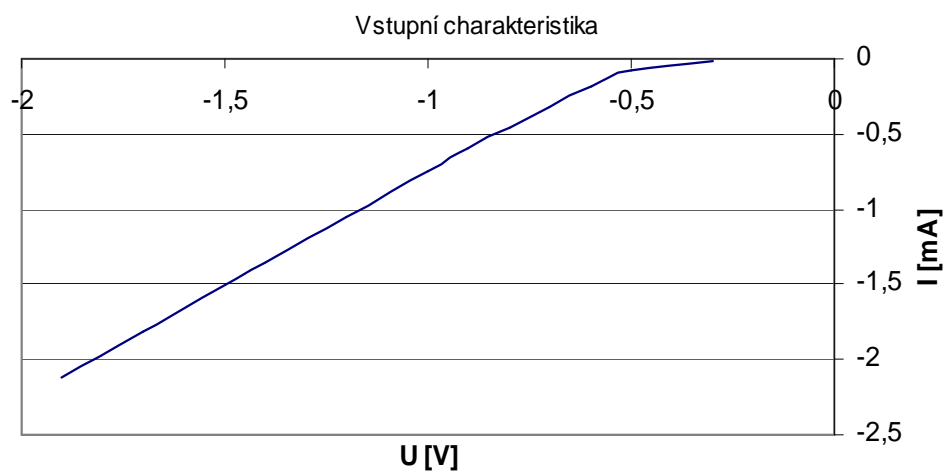
3.4.4 Vstupní charakteristika hradla NAND

Tab. 33. Vstupní char. NAND

U [V]	I [mA]
-0,3	-0,0118
-0,5	-0,078
-0,6	-0,1866
-0,7	-0,318
-0,8	-0,454
-0,9	-0,6
-1	-0,746
-1,2	-1,048
-1,4	-1,35
-1,7	-1,812
-1,9	-2,122



Obr. 38. Měření vstupní char. NAND

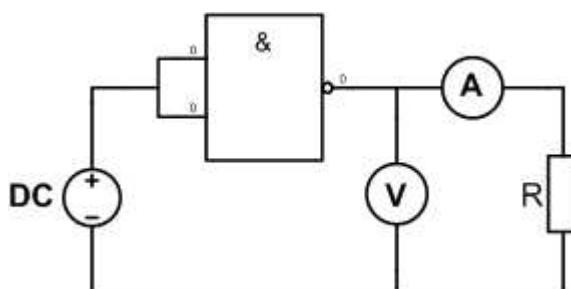


Obr. 39. Graf vstupní charakteristiky NAND

3.4.5 Výstupní charakteristika hradla NAND

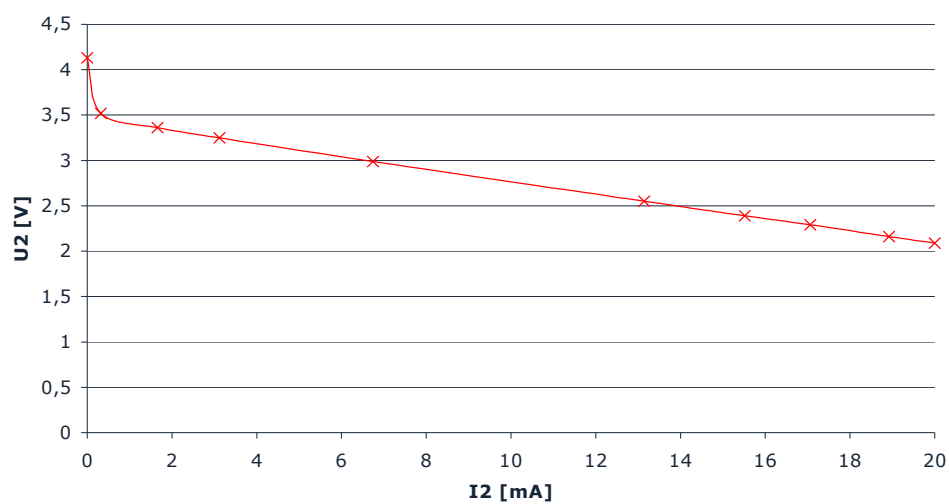
Tab. 34. Výstupní char. NAND

U [V]	I [mA]
4,130	0
3,520	0,32
3,360	1,66
3,250	3,12
2,990	6,74
2,550	13,14
2,390	15,52
2,290	17,06
2,160	18,92
2,089	20,00



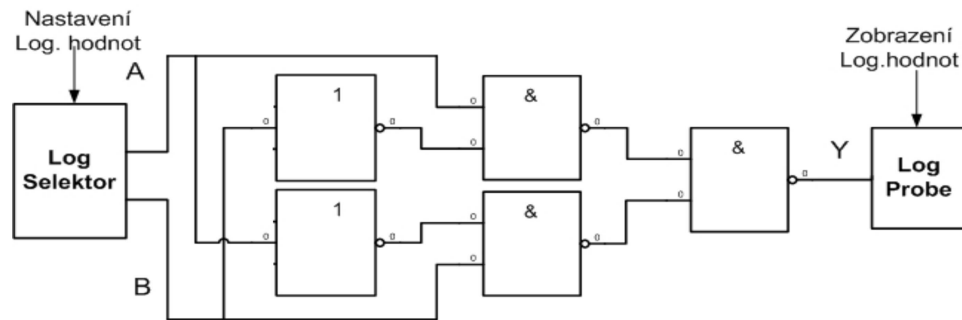
Obr. 40. Měření výstupní char. NAND

Výstupní charakteristika hradla NAND



Obr. 41. Graf výstupní charakteristiky NAND

3.4.6 Ověřte typ logické funkce a najděte její integrovanou verzi



Obr. 42. Schéma neznámého log. obvodu

Tab. 35. Pravdivost.

tabulka XOR

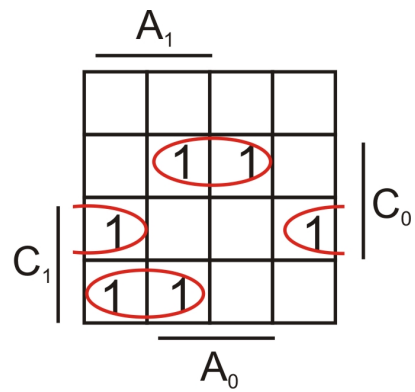
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Po získání pravdivostní tabulky neznáme funkce je vidět, že se jedná o log. funkci XOR. Její integrovaná verze je například 7486.

3.4.7 Navrhněte a realizujte hradlové obvody podle zadání

Tab. 36. Prav. tabulka obvodu 1

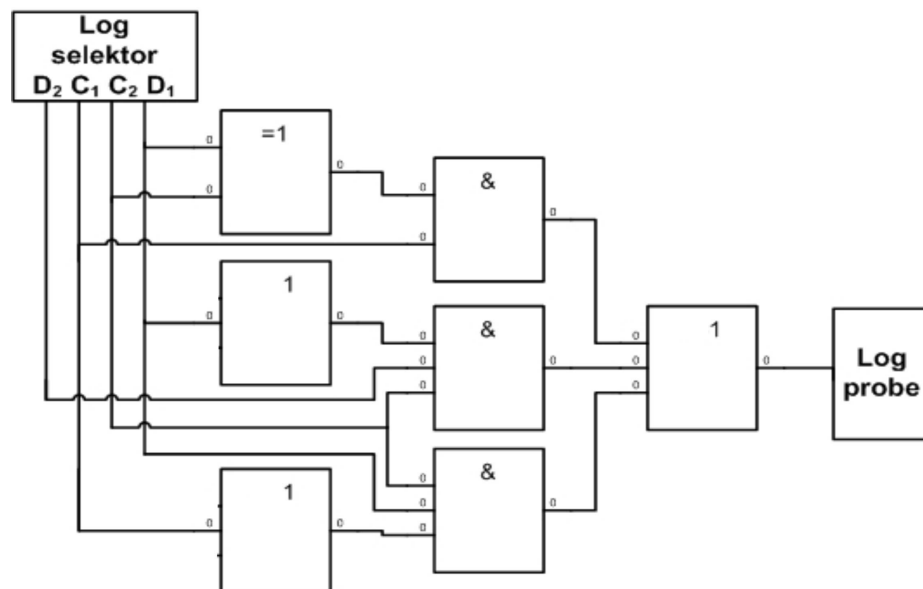
C ₀	C ₁	A ₀	A ₁	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



Obr. 43. K-mapa pro obvod 1

Výsledná logická rovnice:

$$Y = C_0(C_1 \oplus A_0) + \overline{C_0}C_1A_0 + \overline{A_0}A_1C_1$$

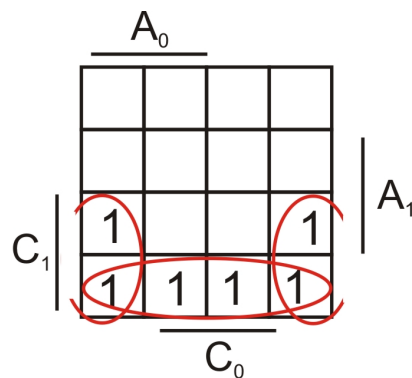


Obr. 44. Schéma zapojení obvodu 1

Obvod 2:

Tab. 37. Prav. tabulka obvodu 2

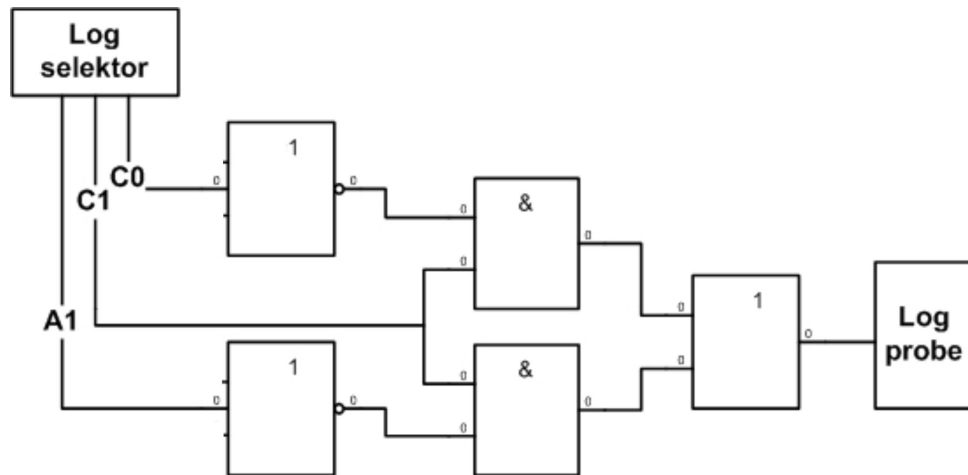
A ₀	A ₁	C ₀	C ₁	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



Obr. 45. K-mapa pro obvod2

Výsledná logická rovnice:

$$Y = \overline{A_1}C_1 + \overline{C_0}C_1$$



Obr. 46. Schéma zapojení obvodu 2

3.4.8 Závěr:

V prvním úkolu jsem změřil převodní charakteristiku hradla NAND. Výsledkem je závislost výstupního napětí na vstupním. Při zvětšování vstupního napětí se výstupní napětí zmenšuje. Od hodnot vstupního napětí 1,1 až 1,35V se výstupní napětí značně zmenšuje. Dále jsem změřil vstupní a výstupní charakteristiku hradla NAND. Zajímavé je, že při kladném napětí u vstupní charakteristiky je proud nulový. U výstupní charakteristiky s rostoucím proudem výstupní napětí klesá. Kleslo by až na nulu. Měřil jsem však pouze do proudové hodnoty 20mA, abych nepoškodil hradlo.

Ve druhém úkolu jsem sestavil pravdivostní tabulku pro zadanou logickou funkci a zjistil jsem, že celý tento obvod by šel nahradit jediným logickým členem a to XOR.

Ve třetím úkolu jsem navrhl a realizoval hradlový obvod se zadanými parametry. Nejdříve jsem si vytvořil pravdivostní tabulku. Dále jsme sestavil Kar. mapu a zjednodušil jsem funkci na minimum. V první části tato funkce příliš zjednodušit nešla. Ve druhé části jsem velmi dobře zjednodušil funkci na tři vstupní parametry.

3.5 AD převodník

UTB VE ZLÍNĚ, FAKULTA APLIKOVANÉ INFORMATIKY			
Jméno:	Radim Vymětal	Ročník:	III.
Předmět:	Mikroelektronika	Skupina:	12
Název úlohy:	AD převodník	Naměřeno:	19.4.2006
Číslo úlohy:	5	Odevzdáno:	
		Hodnocení:	

3.5.1 Úkol měření:

1. Seznamte se s principem analogově – číslicového komparačního převodníku.
2. Navrhněte a realizujte 2 - bitový A/D převodník. Při řešení postupujte podle těchto kroků:
 - Zapojení kvantovacích komparátorů
 - Úprava výstupního napětí komparátorů pro TTL obvody
 - Kódování upraveného výstupního napětí na logické hodnoty
3. Vypracujte protokol o měření.

3.5.2 Použité přístroje:

Stejnoseměrný zdroj:	2x Programmable DC supply RC
Zobrazovač hodnot:	Log probe RC
Hradla:	7400 (4x NAND)
	7486 (4x XOR)
	7408 (4x AND)
Rezistor:	1k Ω , 2k Ω , 5k Ω , 10k Ω (ve schématu jako R)
Multimetr:	METEX M386OD (použití jako voltmetr V)
Dioda:	3x D
Operační zesilovač:	3x Operational Amplifier OZ

3.5.3 Zapojení kvantovacích komparátorů

Naměřené hodnoty jsem doplnil do tabulky (Tab. 38.) z které je teď dobře vidět, kdy se který komparátor překlápí.

Tab. 38. Doplněné hodnoty výstupů komparátorů

Stav	U_{k1}	U_{k2}	U_{k3}
$0 < U_I < 2,5$	-7,5	-7,5	-7,5
$2,5 < U_I < 5$	7,5	-7,5	-7,5
$5 < U_I < 7,5$	7,5	7,5	-7,5
$7,5 < U_I < 10$	7,5	7,5	7,5

3.5.4 Úprava výstupního napětí komparátorů pro TTL obvody

Naměřené hodnoty jsem doplnil do tabulky (Tab. 39.), která ukazuje hodnoty napětí logických hodnot pro TTL obvody.

Tab. 39. Upravené hodnoty výstupů komparátorů

Stav	U_{k1u}	U_{k2u}	U_{k3u}
$0 < U_I < 2,5$	-3,7	-3,7	-3,7
$3,5 < U_I < 5$	0,42	-3,7	-3,7
$5 < U_I < 7,5$	0,42	0,42	-3,7
$7,5 < U_I < 10$	0,42	0,42	0,42

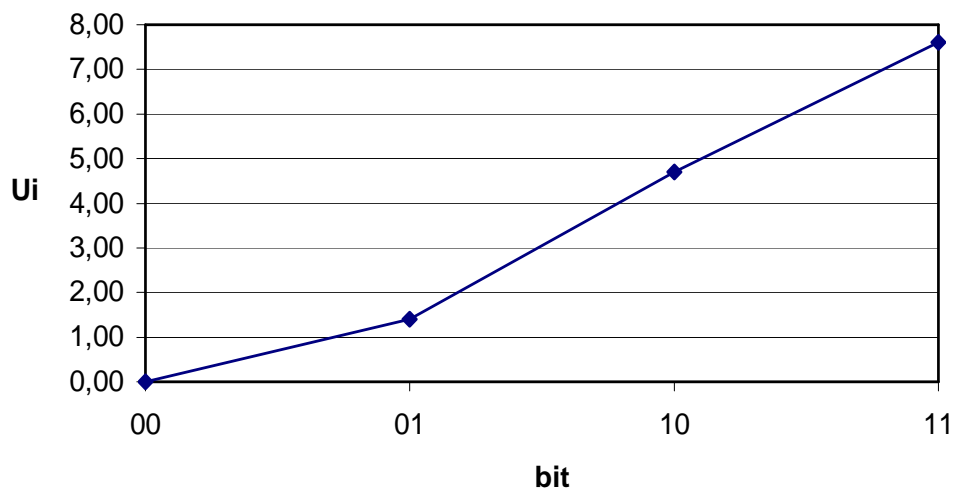
3.5.5 Kódování upraveného výstupního napětí na logické hodnoty

Postupným zvyšováním vstupního napětí U_i jsem naměřil převodní charakteristiku AD převodníku. Naměřené hodnoty jsem zapisoval do tabulky (Tab. 40.) podle, které jsem poté vytvořil graf převodní charakteristiky (Obr. 46.). Zapisoval jsem jen hodnoty, při kterých došlo ke změně logických hodnot.

Tab. 40. Hodnoty převodní charakteristiky AD převodníku

Analogový vstup převodníku	Číslicový výstup převodníku	
	A	B
U_I		
0	0	0
1,4	0	1
4,7	1	0
7,6	1	1

Převodní charakteristika A/D převodníku



Obr. 47. Graf převodní charakteristiky AD převodníku

Tab. 41. Hodnoty pro kódování

Vstupy			Výstupy	
K ₁	K ₂	K ₃	A	B
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

3.5.6 Závěr

Po seznámení s funkcí A/D převodníku, jsem zapojil jednotlivá schémata. Jako první jsem zapojil schéma pro kvantování napětí pomocí komparátorů. A na jednotlivých výstupech jsem si ověřil funkci kvantování. Výsledkem tohoto měření byla tabulka pro velikost výstupního napětí komparátorů bez úpravy napěťových úrovní (Tab. 38).

V druhém případě jsem k předchozímu schématu doplnil část pro úpravy napětí výstupu komparátoru pro TTL obvody a opět jsem si vynesl do tabulky velikost výstupního napětí komparátorů s úpravami napěťových úrovní (Tab. 39).

A v třetím případě jsem zapojil část pro kódování kvantových úrovní napětí. Naměřené hodnoty jsem vynesl do tabulky převodní charakteristiky AD převodníku (Tab. 40).

Nakonec jsem z naměřených dat vynesl graf přechodové charakteristiky A/D převodníku (Obr. 46).

ZÁVĚR

V této bakalářské práci byl proveden návrh a příprava laboratorních měření pro předmět Mikroelektronika na Fakultě aplikované informatiky Univerzity Tomáše Bati ve Zlíně. Pro přehlednost byla práce rozdělena na dvě kapitoly. První kapitola obsahuje jednotlivá zadání laboratorních úloh s návody pro jejich řešení. Druhá kapitola obsahuje vypracované protokoly k jednotlivým laboratorním úlohám.

Cílem této práce bylo pomocí dostupných zdrojů navrhnout a připravit laboratorní úlohy co nejsrozumitelnějším způsobem, tak aby studenti na základě experimentů prováděných v laboratořích dospěli k obohacení svých znalostí a praktických dovedností v oboru Mikroelektronika. Laboratorní úlohy byly zaměřeny na praktické seznámení s binární sčítačkou, čítačem, převodem mezi základními kódy pomocí koderů a rekođerů, měřením charakteristik logických členů a AD převodníky. Je zcela možné, že některé úlohy bylo možné řešit i pomocí jiných součástí a řešení byt tak bylo snazší. Návrh těchto úloh se však opírá o použití základních logických členů.

SEZNAM POUŽITÉ LITERATURY

- [1] VOBECKÝ, J., ZÁHLAVA, V., Elektronika, 2. vyd., Praha: Grada, 2001. 192s. ISBN:80 – 7169 – 884 – 9
- [2] MAŤÁTKO, J., Elektronika. 4. vyd., Praha: Idea servis, 1997. 271 s. ISBN:80-85970-20-1
- [3] MALINA, V., Poznáváme elektroniku I. 3. vyd., České Budějovice: KOPP, 1998. 222 s. ISBN:80-7232-039-4
- [4] MALINA, V., Poznáváme elektroniku II. 1. vyd., České Budějovice: KOPP, 1998. 200 s. ISBN:80-85828-87-1
- [5] MALINA, V., Poznáváme elektroniku III. 1. vyd., České Budějovice: KOPP, 1998. 244 s. ISBN:80-85828-87-1
- [6] STRÝHAL, Z., SEDLÁK, D., Elektronika, [online]. Dostupný z WWW: <<http://physics.ujep.cz/~zstryhal/vyuka/Elektronika1.pdf>>
- [7] TICHÝ, M., Elektronika, [online]. Dostupný z WWW: <<http://lucy.troja.mff.cuni.cz/~tichy/elektross/skripta/index.html>>
- [8] SOUKUP, K., NĚMEC, Z., Elektronika, [online]. Dostupný z WWW: <<http://www.fme.vutbr.cz/win/opory/html/LRaPA/lr.htm>>
- [9] ŠEFRANÝ, R., Základy číslicové techniky, [online]. Dostupný z WWW: <<http://telefon.unas.cz/e/zaklad2.htm>>
- [10] BAYER, J., HANZÁLEK, Z., ŠUSTA R., Logické systémy pro řízení, Praha: ČVUT, 2000. 269 s. ISBN:80-01-02147-5, [online]. Dostupný z WWW: <<http://dce.felk.cvut.cz/lor/prednasky/skripta/>>
- [11] Electronic Component Datasheets and Data Books, [online]. Dostupný z WWW: <<http://www.datasheetarchive.com>>
- [12] BROŽEK, T., Databáze katalogových listů 74xx, [online]. Dostupný z WWW: <<http://www.volny.cz/brozektom/>>

SEZNAM OBRÁZKŮ

<i>Obr. 1. Sčítání binárních čísel</i>	13
<i>Obr. 2. K-mapa</i>	17
<i>Obr. 3. Blokové schéma 3-bitové sčítačky</i>	21
<i>Obr. 4. Součet dvou tříbitových čísel</i>	21
<i>Obr. 5. Schéma zapojení polosčítačky</i>	22
<i>Obr. 6. Sedmissegment. displej</i>	27
<i>Obr. 7. Varianta zapojení BCD na 2421</i>	27
<i>Obr. 8. Obvod 7447</i>	31
<i>Obr. 9. Struktura asynchronního binárního čítače vpřed</i>	33
<i>Obr. 10. Časový průběh výstupů Q1 až Q4 asynchronního čítače</i>	34
<i>Obr. 11. Obvod 7493</i>	34
<i>Obr. 12. Schéma zapojení čítače 7493</i>	35
<i>Obr. 13. Schéma zapojení čítače ve zkráceném cyklu</i>	36
<i>Obr. 14. Schéma zapojení čítače ve funkci děliče osmi</i>	38
<i>Obr. 15. Zapojení hradla NAND</i>	40
<i>Obr. 16. Hradlo NAND 7400</i>	40
<i>Obr. 17. Měření převodní charakter. NAND</i>	41
<i>Obr. 18. Měření vstupní charakter. NAND</i>	42
<i>Obr. 19. Měření výstupní charakter. NAND</i>	42
<i>Obr. 20. Schéma neznáme logické funkce</i>	43
<i>Obr. 21. 3bitový paralelní AD převodník</i>	46
<i>Obr. 22. Kvantování pomocí komparátorů</i>	47
<i>Obr. 23. Úprava napětí pro TTL</i>	48
<i>Obr. 24. Kódování výstupů komparátorů na logické hodnoty</i>	49
<i>Obr. 25. Celkové schéma zapojení AD převodníku</i>	50
<i>Obr. 26. Schéma polosčítačky</i>	53
<i>Obr. 27. Schéma úplné sčítačky</i>	54
<i>Obr. 28. Schéma 3bitové sčítačky</i>	55
<i>Obr. 29. Schéma zapojení rekodéru BCD na 2421</i>	58
<i>Obr. 30. Schéma zapojení rekodéru 2421 na BCD</i>	59
<i>Obr. 31. Schéma zapojení BCD na Gray</i>	61
<i>Obr. 32. Schéma zapojení Gray na BCD</i>	62

<i>Obr. 33. Displej</i>	<i>63</i>
<i>Obr. 34. Schéma zapojení dekodéru 7447</i>	<i>64</i>
<i>Obr. 35. Graf funkce modulo 8</i>	<i>67</i>
<i>Obr. 36. Měření převod. char. NAND</i>	<i>70</i>
<i>Obr. 37. Graf převodní charakteristiky NAND</i>	<i>70</i>
<i>Obr. 38. Měření vstupní char. NAND</i>	<i>71</i>
<i>Obr. 39. Graf vstupní charakteristiky NAND</i>	<i>71</i>
<i>Obr. 40. Měření výstupní char. NAND</i>	<i>72</i>
<i>Obr. 41. Graf výstupní charakteristiky NAND</i>	<i>72</i>
<i>Obr. 42. Schéma neznámého log. obvodu</i>	<i>73</i>
<i>Obr. 43. K-mapa pro obvod1</i>	<i>74</i>
<i>Obr. 44. Schéma zapojení obvodu 1</i>	<i>74</i>
<i>Obr. 45. K-mapa pro obvod2</i>	<i>75</i>
<i>Obr. 46. Schéma zapojení obvodu 2</i>	<i>76</i>
<i>Obr. 47. Graf převodní charakteristiky AD převodníku</i>	<i>79</i>

SEZNAM TABULEK

<i>Tab. 1. Pravdivostní tabulka</i>	15
<i>Tab. 2. Pravdivostní tabulka pro K-mapu</i>	16
<i>Tab. 3. Pravdivostní tabulka pro výpis log. funkcemi</i>	17
<i>Tab. 4. Logické funkce</i>	19
<i>Tab. 5. Negace</i>	19
<i>Tab. 6. Pravdivostní tabulka polosčítačky</i>	22
<i>Tab. 7. Pravdivostní tabulka polosčítačky</i>	23
<i>Tab. 8. Pravdivostní tabulka pro úplnou sčítačku</i>	24
<i>Tab. 9. Pravdivostní tabulka BCD na 2421</i>	28
<i>Tab. 10. Pravdivostní tabulka 2421 na BCD</i>	29
<i>Tab. 11. Pravdivostní tabulka BCD na Grayův</i>	29
<i>Tab. 12. Pravdivostní tabulka Gray na BCD</i>	30
<i>Tab. 13. Pravdivostní tabulka sedmissegmentového displeje</i>	31
<i>Tab. 14. Funkční tabulka čítače 7493</i>	34
<i>Tab. 15. Funkční tabulka čítače1</i>	36
<i>Tab. 16. Funkční tabulka čítače2</i>	37
<i>Tab. 17. Tabulka čítače ve funkci děliče</i>	38
<i>Tab. 18. Výstupní napětí komparátorů bez úpravy</i>	48
<i>Tab. 19. Výstupní napětí komparátorů upravená pro TTL</i>	48
<i>Tab. 20. Převodní charakter. převodníku</i>	50
<i>Tab. 21. Tabulka hodnot pro kódování</i>	50
<i>Tab. 22. Pravdivostní tabulka polosčítačky</i>	53
<i>Tab. 23. Pravdivostní tabulka úplné sčítačky</i>	54
<i>Tab. 24. Pravdivostní tabulka BCD na 2421</i>	58
<i>Tab. 25. Pravdivostní tabulka 2421 na BCD</i>	59
<i>Tab. 26. Pravdivostní tabulka BCD na Grayův</i>	60
<i>Tab. 27. Pravdivostní tabulka Gray na BCD</i>	61
<i>Tab. 28. Vyplněná pravdivostní tabulka sedmissegmentového displeje</i>	63
<i>Tab. 29. Doplněná funkční tabulka čítače 1</i>	66
<i>Tab. 30. Doplněná funkční tabulka čítače 2</i>	66
<i>Tab. 31. Doplněná tabulka čítače ve funkci děliče</i>	67
<i>Tab. 32. Převodní char. NAND</i>	70

<i>Tab. 33. Vstupní char. NAND</i>	<i>71</i>
<i>Tab. 34. Výstupní char. NAND</i>	<i>72</i>
<i>Tab. 35. Pravdivost. tabulka XOR</i>	<i>73</i>
<i>Tab. 36. Prav. tabulka obvodu 1</i>	<i>73</i>
<i>Tab. 37. Prav. tabulka obvodu 2</i>	<i>75</i>
<i>Tab. 38. Doplněné hodnoty výstupů komparátorů</i>	<i>78</i>
<i>Tab. 39. Upravené hodnoty výstupů komparátorů</i>	<i>78</i>
<i>Tab. 40. Hodnoty převodní charakteristiky AD převodníku</i>	<i>78</i>
<i>Tab. 41. Hodnoty pro kódování</i>	<i>79</i>